

# PCB 布线技术



The World Leader in High Performance Signal Processing Solutions

# PC Board Layout Techniques for FAEs

*High Speed, Mixed-Signal & Low Level  
Applications*



# PCB设计的艺术

- 好的PCB设计需要花费数十年的时间才能不断磨砺而成
- 设计一个可靠的高速，混合系统需要用到大量的理论知识以及与之相对应的实际应用
- 这篇文档将会用到许多重要的概念

# 目录

- **PCBS 101**
- 优秀的高速**PCB**设计练习
  - 电源/地系统的效率
  - 正确使用去耦电容
  - 电阻，电容在高速设计中真正的特性
  - 高速信号的传输-线还是传输线
  - 阻抗不匹配，串联及并联终端
  - 控制**EMI**
- 混合信号布线
  - 混合信号的接地方式
  - 混合信号设计中的地平面
  - 电源的滤波及去耦
  - 考虑寄生参数
  - 控制差分阻抗
- 小信号布线
  - 考虑走线损耗
  - 在屏蔽电缆中正确接地
  - 最小化**PCB**泄漏电流
  - 预防**PCB**温度问题

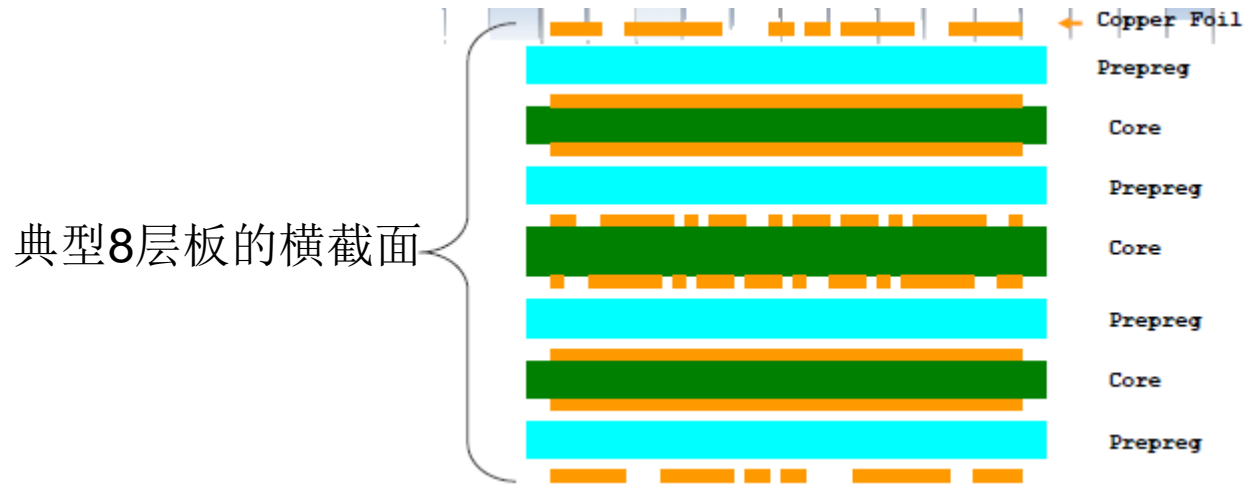
# PCB 基础

## PCB量测的单位

- PCB设计起源于美国，所以其常用单位是英制，而非公制
  - 版子的大小通常使用英尺
  - 介质厚度&导体的长宽通常使用英尺及英寸
    - 1 mil = 0.001 inches
    - 1 mil = .0254 mm
  - 导体的厚度常使用盎司(oz)
    - 一平方英尺金属的重量
    - 典型值
      - 0.5oz = 17.5 $\mu$ m
      - 1.0oz = 35.0 $\mu$ m
      - 2.0oz = 70.0 $\mu$ m
      - 3.0oz = 105.0 $\mu$ m

# PCB基础

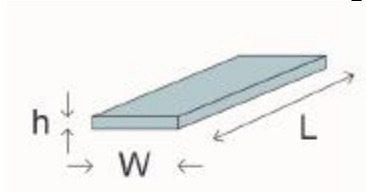
## PCB 叠层



- 一个PCB由不断交错着的Prepreg和Core组成
- 材料：
  - Core:一片薄薄的固化的介质（通常是FR4:玻璃纤维&环氧基树脂）
  - Prepreg: preimpregnated的简写。一片薄薄的未固化的介质（通常FR4: 玻璃纤维-环氧基树脂）当被加热或挤压时，Prepreg会溶解在环氧基树脂胶里，然后变成和Core具有相同介电常数的材料
  - 铜箔：一片铜板，使用一环氧树脂粘合在Core的两边
- PCB的层数代表的是铜箔的层数
  - 一个8层PCB包含8层铜箔
  - 叠层根据板子在纵轴上的中心点对称，以避免在热循环中的机械应力

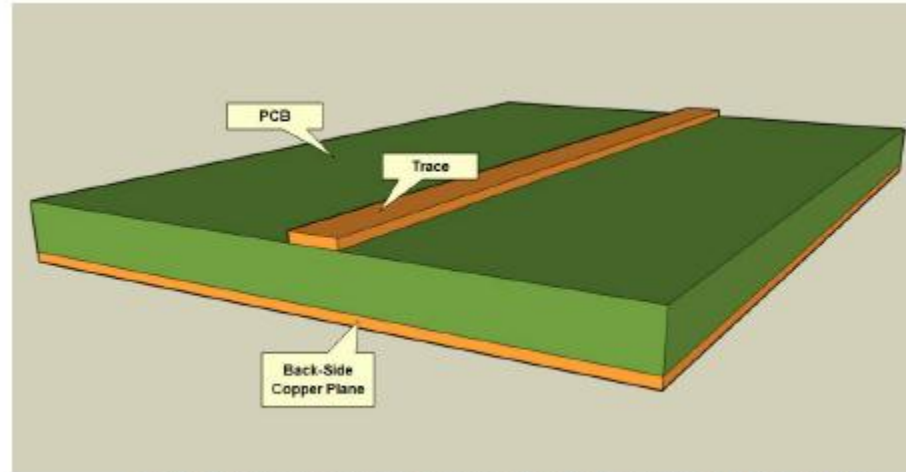
# PCB结构

## PCB导体:Traces



$$R = \frac{\rho \cdot L}{A} = \frac{\rho \cdot L}{h \cdot W} = R_s \frac{L}{W}$$

Cu resistivity:  $\rho=1.7E10-8\Omega m$

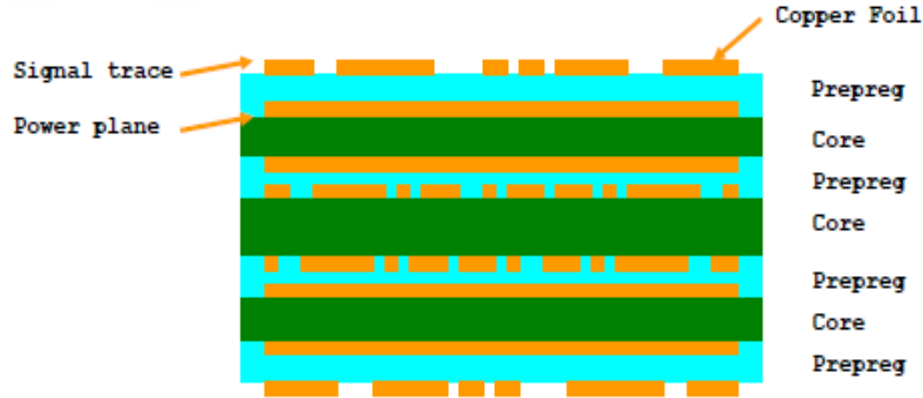


Source: <http://circuitcalculator.com/wordpress/wp-content/uploads/2007/04/pcb-trace-geometry-1.png>

- 铜是PCB中最常用的导体
  - 走线或连接器一般通过镀金来提供一个抗腐蚀的电传导特性
  - 走线的宽度和长度-由PCB布线工程师控制
    - 在通常的制造工艺下，走线的宽度和之间的间距一般要 $\geq 5$  mil
  - 走线厚度-制造工艺的变量
    - 典型值 0.5oz – 3oz
    - 趋势 0.25oz
- SI Tip:以上因素都会影响走线的电阻，电容，阻抗，在高速信号设计中都要被慎重的考虑

# PCB基础

## PCB导体：电源平面



- 电源平面
  - 使用一个完整的铜箔平面来提供电源或地
  - 一般会使用比信号层更厚的铜箔层来降低电阻
- 为什么需要？
  - 为PCB上所有设备的电源地信号提供一个稳定的，低阻抗的路径
  - 屏蔽层与层之间的信号以此来降低串扰
- **SI tip:**通过在Core的两边加相对电源与地可以最大化“板间电容”。同样，也可以减少PCB的翘曲



# PCB基础

# PCB介质

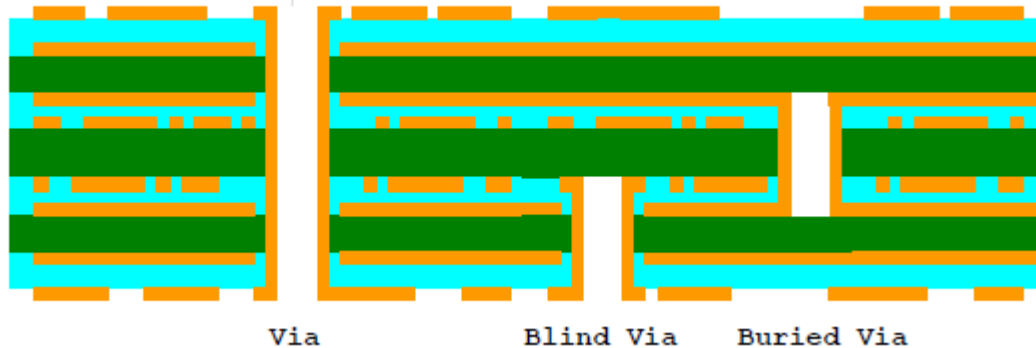
- 一般的介质材料
  - FR-4（玻璃纤维和环氧基树脂交织而成）
    - 最常和最广泛使用，相对成本较低
    - 介电常数：最大4.7，[4.35@500Mhz](#),[4.34@1Ghz](#)
    - 可承受的最高信号频率是2Ghz(超过这个值，损耗和串扰将会增加)
  - FR-2（酚醛树脂棉纸）
    - 非常廉价，使用在廉价的消费设备上
    - 容易破裂
    - 介电常数：[4.5@1Ghz](#)
  - CEM-3 (玻璃与环氧基树脂编织物)
    - 与FR4类似，在日本广泛应用
  - Polyimide
    - 高频的表现很好
  - FR&CEM
    - FR:Flame Retardant
    - CEM: Composite Epoxy Material
- SI Tip: 绝大多数的PCB绝缘材料会有一个可控的介电常数-对于维持传输线阻抗的稳定来说这是非常重要的

Material	Dielectric constant
Vacuum	1 (by definition)
Air	1.00054
Teflon™	2.1
Polyethylene	2.25
Polystyrene	2.4–2.7
Paper	3.5
Silicon dioxide	3.7
Concrete	4.5
Pyrex (glass)	4.7 (3.7–10)
Rubber	7
Diamond	5.5–10
Salt	3–15
Graphite	10–15
Silicon	11.68

# PCB基础

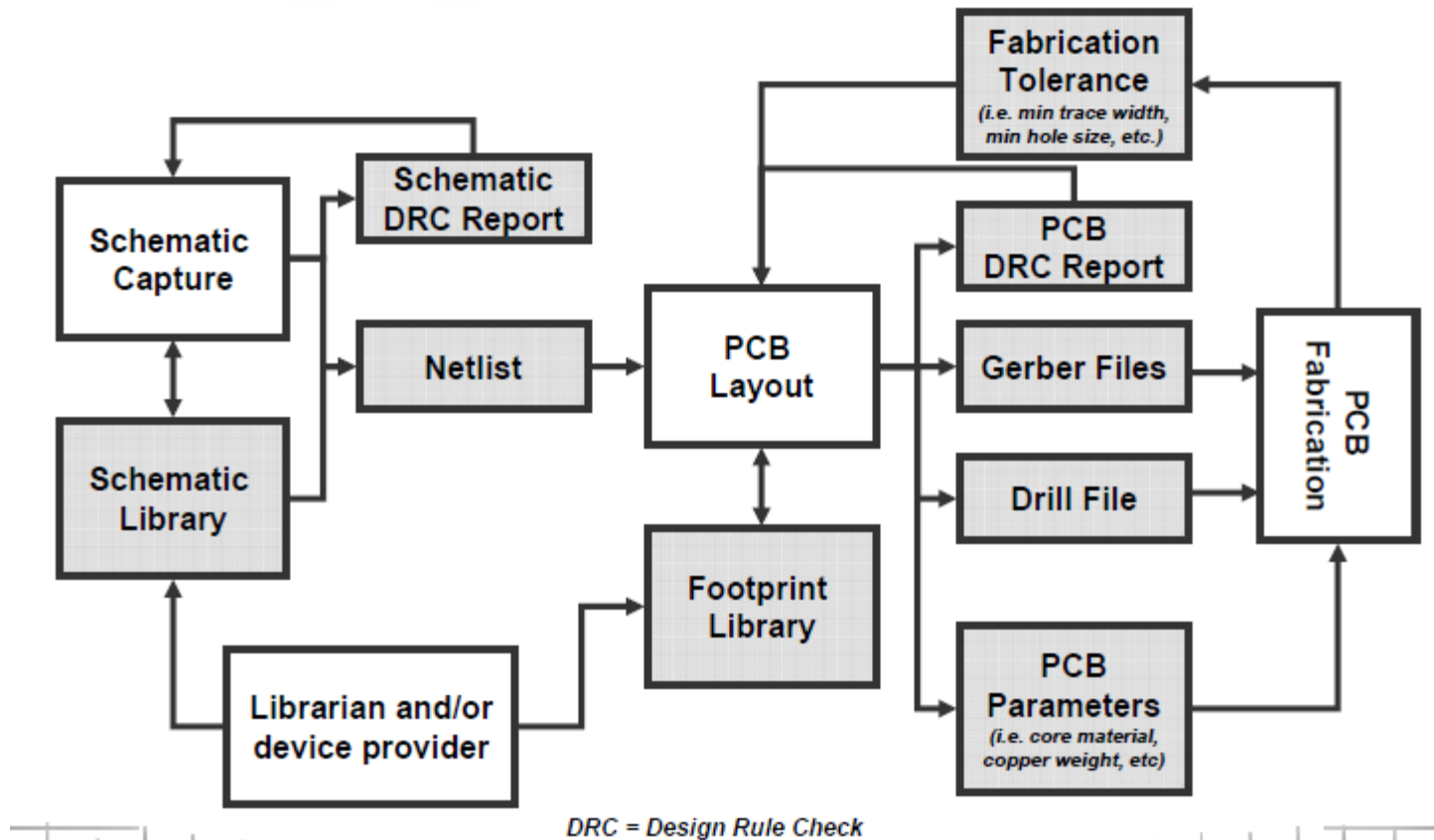
## Vias

### Vias



- Vias (plated holes)
  - 连接不同层
  - 通过钻孔的方式来打通PCB的不同层，并在内层电镀
  - 通常比信号线大
- 埋孔和盲孔
  - 增加布线密度
  - 增加PCB制造的成本-通常用在高密度的产品上
  - 埋孔非常难以去调试
- SI Tip: Vias会引进容性分量并改变走线的特征阻抗

# PCB 基础/典型的PCB设计流程



# PCB基础

## 典型的PCB制造流程

- 从客户手中拿到Gerber, Drill以及其它PCB相关文件
- 准备PCB基片和薄片
  - 铜箔的底片会被粘合在基材上
- 内层图像蚀刻
  - 抗腐蚀的化学药水会涂在需要保留的铜箔上（例如走线和过孔）
  - 其他药水会被洗掉
  - 然后使用腐蚀剂（通常是FeCl或Ammonia），未被标记的铜箔就会被移除
  - 溶剂会把固化的抗腐蚀剂洗掉
  - 清洗掉PCB板的其他杂物
- 压层
- Drilling, cleaning & plating vias
  - 这是建立不同层之间的连接关系
  - 在需要Via的地方打一个贯穿所有层的洞
  - 电镀
- 外层图像蚀刻
- 绿漆层
- 丝印层 (文本和图像)

# 优秀的高速PCB设计练习

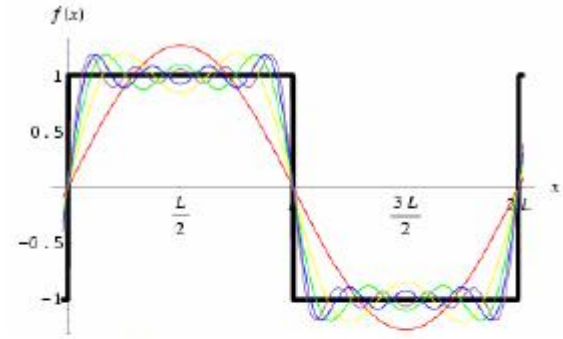
## 综述

- 一些设计者仍然靠“感觉”来设计PCB，而非正确的方法和规则
  - 对于现代的高速模拟和数字设计，靠“感觉”来设计一个可靠的系统几乎是不可能的
  - 结果可能是：
    - 错误的或意料之外的系统行为
    - 在模拟路径上有不可接受的噪声强度
    - 系统的稳定性随温度和板子结构变化较大
    - 同一PCB上的互连设备之间误码率很高
    - 大量的电源和地噪声
    - 信号上的过冲，下冲和尖峰

# 优秀的PCB设计练习

## 使用正确的设备

- 一个拥有足够带宽的示波器在高速PCB设计工程中是基本的工具
  - 需要考虑设备的带宽和采样频率
  - 一个133Mhz的SDRAM信号在一个200Mhz带宽和2GSPS采样率的廉价示波器上看起来会是什么样呢
  - 一些非常重要的因素，如尖峰，过冲，下冲，电源噪声等在廉价的示波器上可能没办法正确的显示出来
- 记住！高速数字信号是方波
  - 方波在其奇数谐波上有较高的能量
$$x(t) = \sin(t) + \frac{1}{3} \sin(3t) + \frac{1}{5} \sin(5t) \dots$$
  - 随着几何尺寸的减小(130nm->90nm->65nm)，上升时间及下降时间的减小意味着更多的谐波



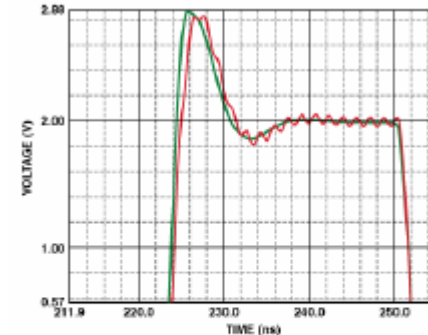
How are these related?



# 优秀的高速PCB设计练习

## 电源和地平面

- 应该尽可能的使用电源和地平面，**Why?**
  - 在设备和电源之间提供一个低阻抗的路径
  - 提供屏蔽
  - 提供散热
  - 降低分布电感
- 一个完整的无破损的平面是最优选择
  - 破碎的地平面会在走线的上下层之间引入寄生电感
- **Remember!**
- 低频时，电流总是流过最小电阻路径
- 高频时，电流总是渡过最小电感路径

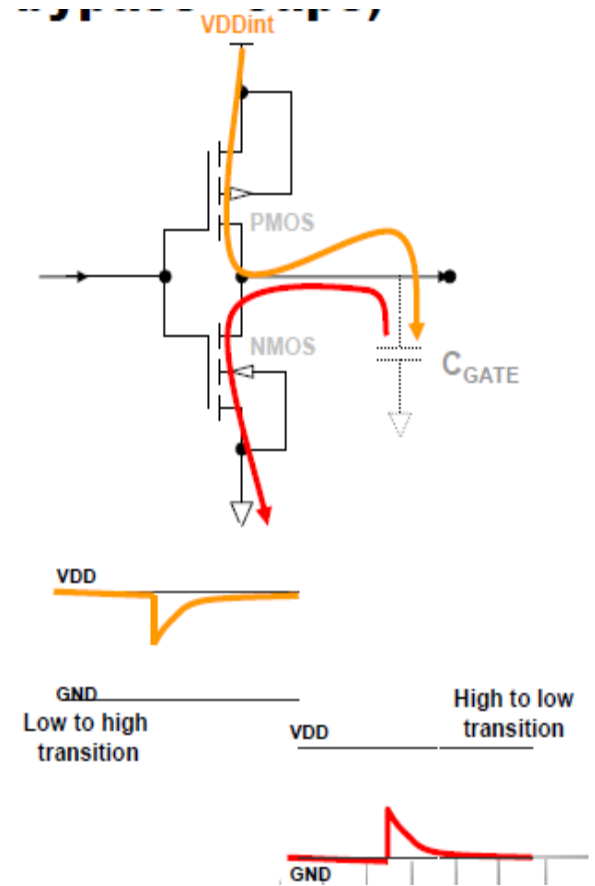


**Pulse response with and without  
a ground plane**  
(source *Analog Dialogue*:  
Volume 39, September 2005)

# 优秀的PCB设计练习

## 去耦电容（或“旁路电容”）

- 当设备里的门电路切换时，设备里的阻抗会有一个瞬时的变化
  - 结果就是电流会有一个瞬时的变化
- 去耦电容会这些瞬时的变化提供一个低阻抗的电流源
  - 降低电源地之间的电压波动
  - 帮助电源地信号工作在设备的工作SPEC之内

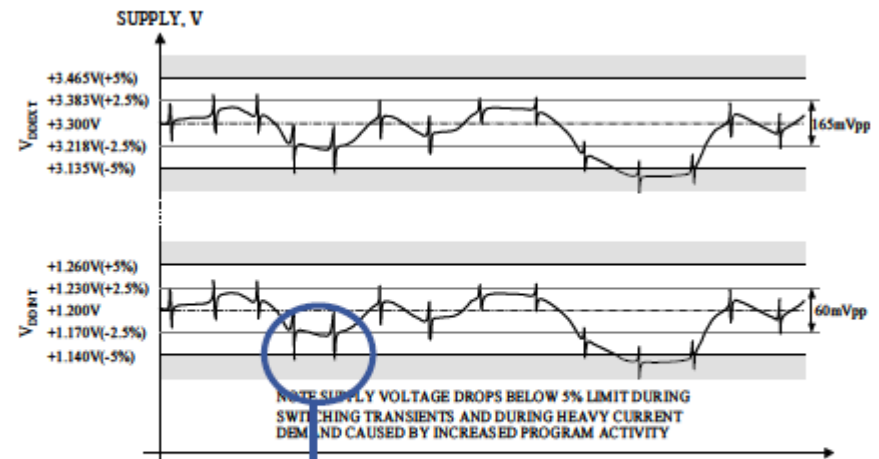




# 优秀的高速PCB设计练习

## 去耦电容

- 高速设计中有5个频段需要调节
  - DC至10 KHz
    - 通过调节模块来调节
  - 10 KHz至100KHz
    - 通过去耦电容来调节
  - 100KHz to 10 Mhz
    - 通过100nf(0.1uf) 来调节
  - 10 Mhz to 100M hz
    - 通过10 nf来调节
  - 100Mhz至更高
    - 通过1nf和PCB电源和地平面来调节



This device is operating out of specification! Ample oscilloscope bandwidth is essential for detecting these events.

# 优秀的高速PCB设计练习

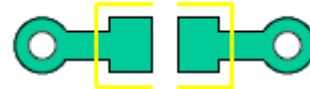
## 去耦电容

- 需要多少去耦电容才够用呢？
  - 取决于系统
    - 需要考虑工作频率，I/O的切换数量，每个Pin脚的容性负载，走线的特征阻抗，结点的温度，芯片内部的运算
    - 对于处理器，要考虑各种运算方式，缓存，内存，DMA，等等
  - 经验法则：从DC至高频的每个频段内，供电引脚的电压波动都小于5%
  - DC供电电压的最大波动加上噪声的最大值应该小于供电电压的5%
    - 需要一个足够带宽的示波器
- 有很多的方法去评估总共需要的容值，以及如何分布电容
  - 这是一个复杂的问题，特别是在处理现在那些包含有成千上万门电路的处理器的时候
  - 可在以下网站上获得帮助
    - [www.freescale.com/files/32bit/doc/app\\_note/AN2586.pdf](http://www.freescale.com/files/32bit/doc/app_note/AN2586.pdf)

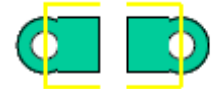
# 优秀的高速PCB设计练习

## 去耦电容

- 为了获得最好的性能，应该尽可能的降低供电引脚与去耦电容之间的电感与电阻



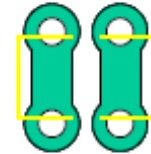
ABSOLUTELY NOT!



BETTER

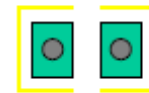


EVEN BETTER



EVEN BETTER STILL

- PCB布线和过孔会增加阻抗

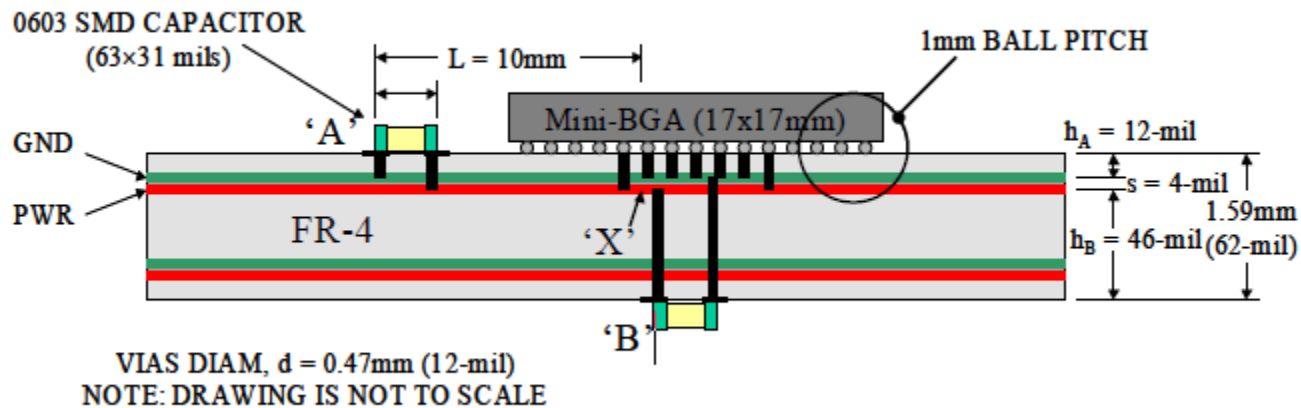


THE BEST!  
SOLID VIA WITHIN PAD

# 优秀的高速PCB设计练习

## 去耦电容

- 当使用电源/地平面时，电容如同在PCB顶层一样有效



# 优秀的高速PCB设计练习

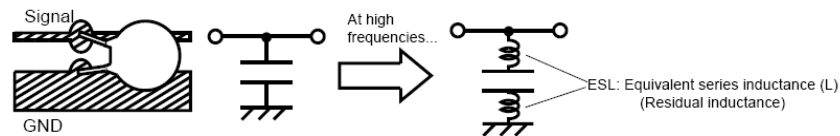
## 去耦电容

- 100Mhz以上的有效电容...
  - 随着时钟频率和边缘变化率的提高，如何有效的使用旁路电容变得越来越困难
    - 电容的ESL（等效串联电感）随着频率的增加而增加
    - 电容的ESR（等效串联电阻）的增加会降低电容的效力
    - 电容的寄生参数（pads,vias）所带来的电抗会随着频率增加而增加
    - 100nf的电容在100Mhz之上是无用的

# 优秀的高速PCB设计练习

## 认识电容-ESL

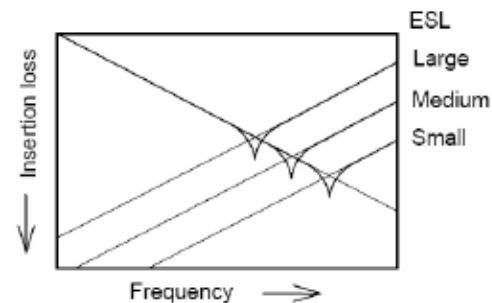
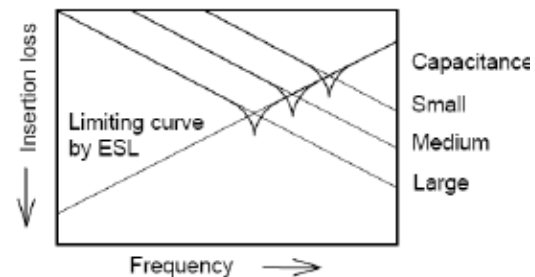
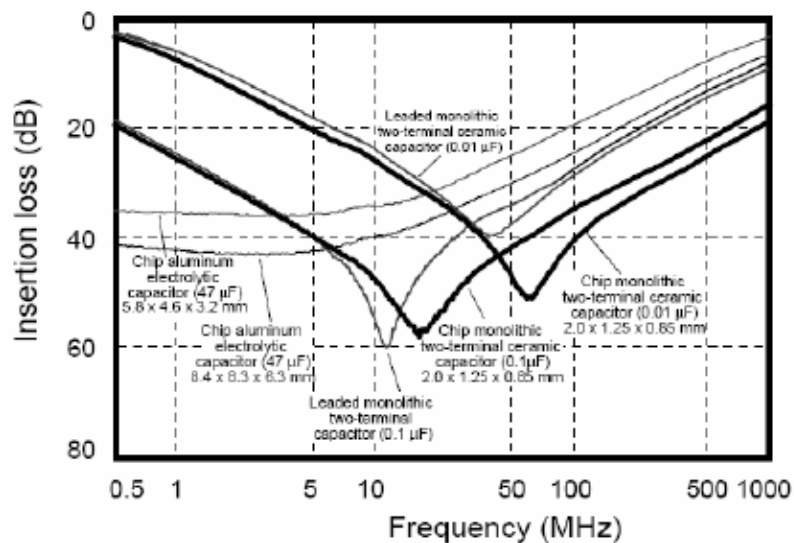
- **ESL**（等效串联电感）是由电容的电极和引线引起的电感
- 电容的**ESL**限制了一个电容在一个**Power Buss**中去耦的效果究竟有多好



- 电容本质上是一个**LC**电路，因此它有一个谐振点。**ESL**与容值都会影响电容的谐振点

# 优秀的高速PCB设计练习

## 认识电容-ESL



# 优秀的高速PCB设计练习

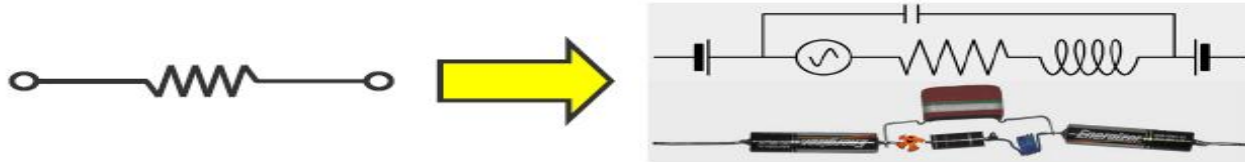
## 认识电容-ESL

- 不同种类的电容
  - TBA



# 高速PCB设计和布线

## 认识电阻

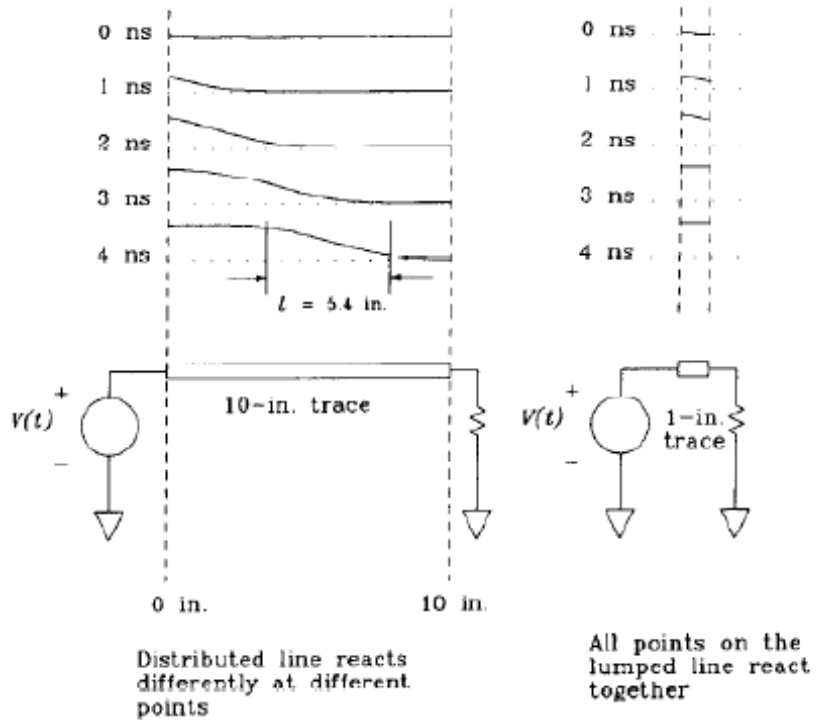


- James Bryant's paper
  - TBA

# 高速PCB设计和布线

## 导线还是传输线？

- 导线还是传输线
  - 导线-我们认为导线上所有的点在任意时刻都有相同的电势
  - 传输线-我们考虑信号传输的影响，并假设在信号传输线上会有不同的电势
- 什么时候会把信号回路看成传输线呢
  - 如果长度大于波长的1/100
  - 如果接收设备对边缘变化敏感
  - 如果系统对过多的过冲和下冲无法接受
  - 几乎一直是



Source: Johnson & Graham, High-Speed Digital Design (A Handbook of Black Magic)

# 高速PCB设计和布线

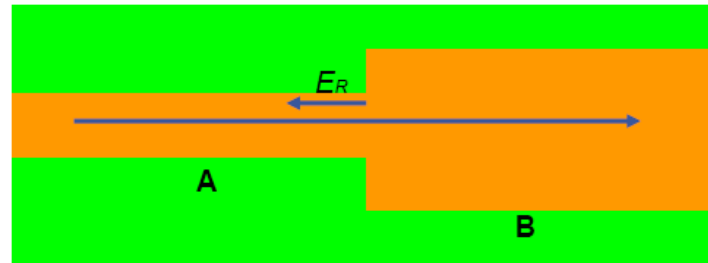
## 传输:时间和距离

- 传输延迟：表征电信号在介质中传播时间的值
  - 通常的测量单位是ps/inches
- 电信号传输速度取决于其周围的介质
  - 传输速度与介电常数的平方根成比例增加

Medium	Delay (ps/in)	Dielectric Constant
Vacuum	Speed of light : 84.72528	1.0
Air (radio waves)	85	~1.0
Coaxial Cable (75% velocity)	113	1.8
Coaxial Cable (66% velocity)	129	2.3
FR4 PCB (outer trace)	140-180	2.8-4.5
FR4 PCB (inner trace)	180	4.5
Alumina PCB (inner trace)	240-270	8-10

# 高速PCB设计和布线

## 传输线与阻抗匹配




- 当信号的阻抗改变时，信号能量会被反射
- 能量反射的多少会与阻抗不匹配的程度有关

$$E_R \propto \frac{Z_B - Z_A}{Z_B + Z_A}$$

# 高速PCB设计和布线

## 理解传输线阻抗

- PCB走线的物理特征是阻抗的最大影响因素
  - 走线材料
  - 走线宽度
  - 走线厚度
  - 与其它平面和走线之间的距离
  - 周围材料的介电常数
- 有许多免费的工具可以帮助你评估走线的特征阻抗
- <http://emclab.umn.edu/pcbtlc2/index.html>

 UNIVERSITY OF MISSOURI-ROLLA  
ELECTROMAGNETIC COMPATIBILITY LABORATORY

---

**PCB Trace Impedance Calculator**

Calculate the characteristic impedance and per-unit-length parameters of typical printed circuit board trace geometries.

Select a configuration:      Geometric Parameter Definitions

Microstrip Trace

Embedded Microstrip Trace

Stripline Trace

$H1 > H$

Asymmetric Stripline Trace

W:	trace width
T:	trace thickness
H (H1):	height of trace or dielectric above return plane
C:	distance between the differential stripline pair
$\epsilon_r$ :	relative permittivity of the dielectric

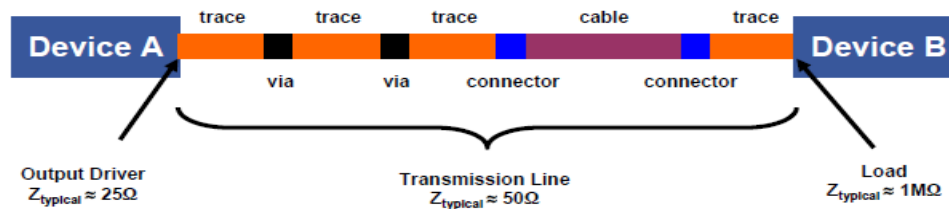
**Electrical Parameter Definitions**

Z <sub>0</sub> :	characteristic impedance
Z <sub>e</sub> :	effective characteristic impedance including the capacitance of distributed loads
Tpd:	propagation delay
L <sub>u</sub> :	inductance per unit length
C <sub>u</sub> :	capacitance per unit length

THESE FORMULAS ARE APPROXIMATIONS!  
They should not be used when a high degree of accuracy is required.

# 高速PCB设计和布线

## 信号回路上特征阻抗的改变



- 从设备A到设备B，一个传输信号很可能会经过很多次阻抗改变
- 最大的阻抗不匹配几乎都发生在源端和负载处
  - 会产生很大的反射
  - 我们该如何处理
  - 让我们通过下面这个故事来理解

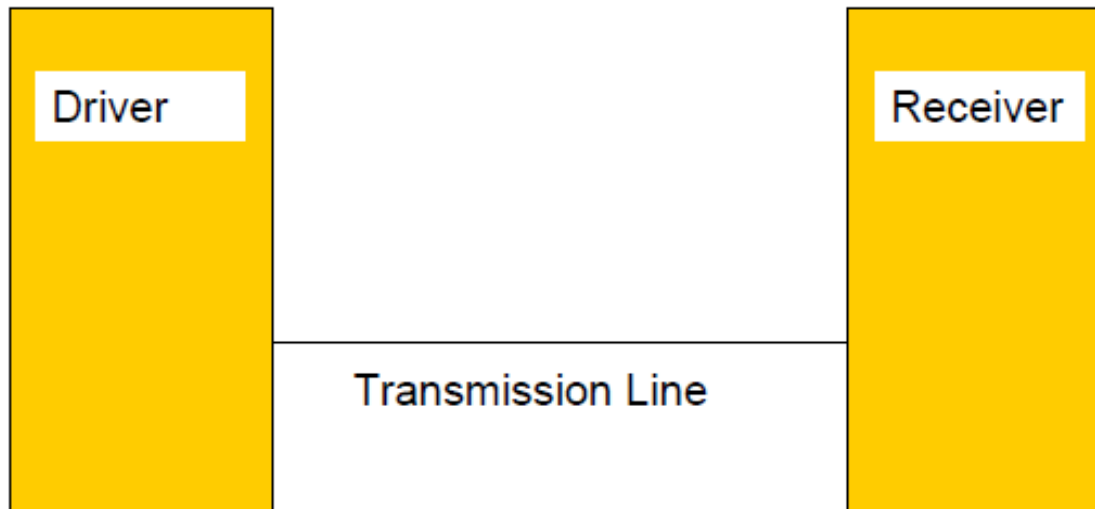
# EDGAR能量包的故事

- Edgar是一个慢跑者
- 他以6 inches/nanosecond的速度在一个PCB上运动
- 他会改变他所在导体位置的电压



# Edgar遇到了“无端接”的传输线

- 属性：
  - 点对点连接
  - 输出阻抗为25 Ohm
  - 传输线特征阻抗为50 Ohm
  - 接收端阻抗为1 Meg Ohm





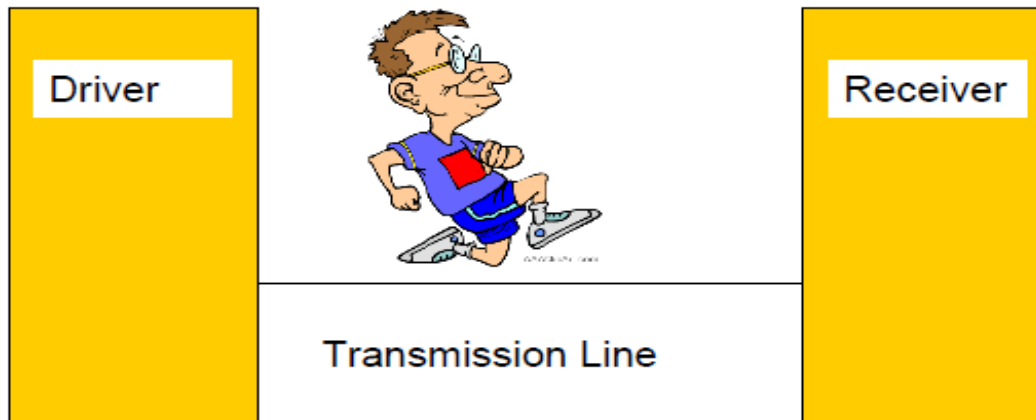
# 开始

- 从VDD与GND之间输出一个电压



# Edgar开始向接收端运动

- Edgar开始以6 inches/nanosecond的速度向接收端运动



# Edgar被“反射”了

- Edgar从50 Ohm的传输线运动到了1M ohm的接收端

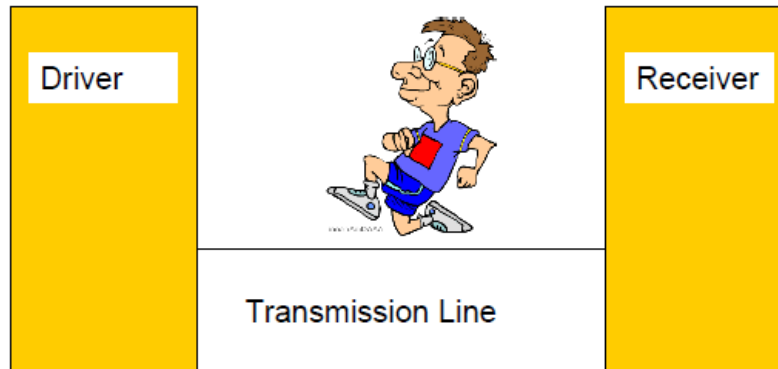
$$\frac{Z_L - Z_0}{Z_L + Z_0} = \frac{1000000 - 50}{1000000 + 50} \approx 1$$

- 几乎100%的Edgar被反射回源端了



# Edgar返回输出端

- Edgar带着几乎100%的能量以6 inches/nanosecond的速度返回



# Edgar遇到了另一个阻抗不连续

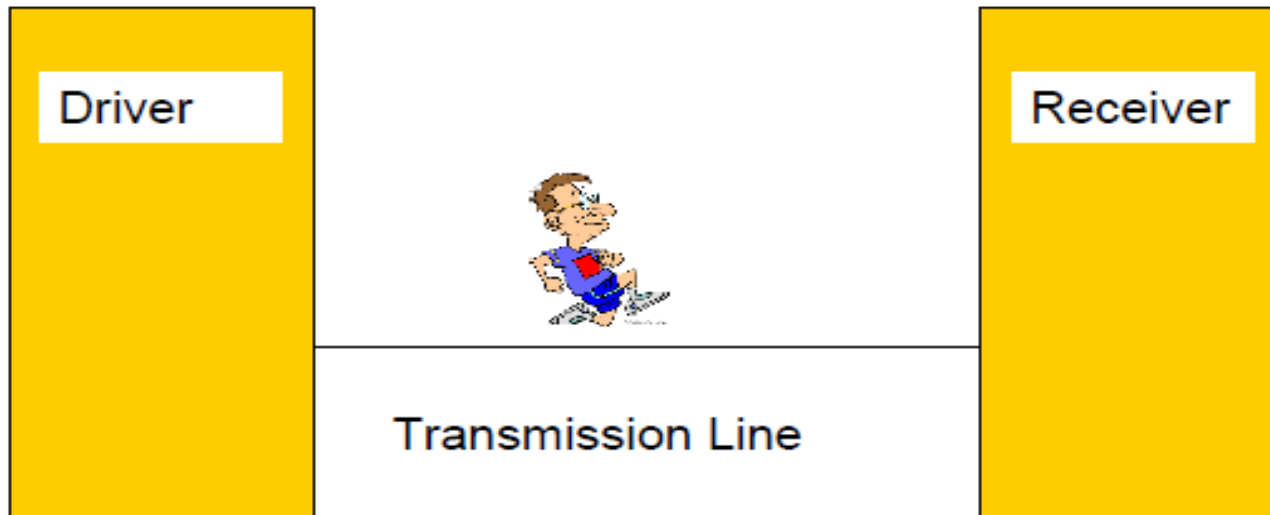
- Edgar结束了传输线的旅程之后遇到了25 Ohm的源
- 反射能量是

$$\frac{Z_L - Z_0}{Z_L + Z_0} = \frac{25 - 50}{25 + 50} = -\frac{1}{3}$$



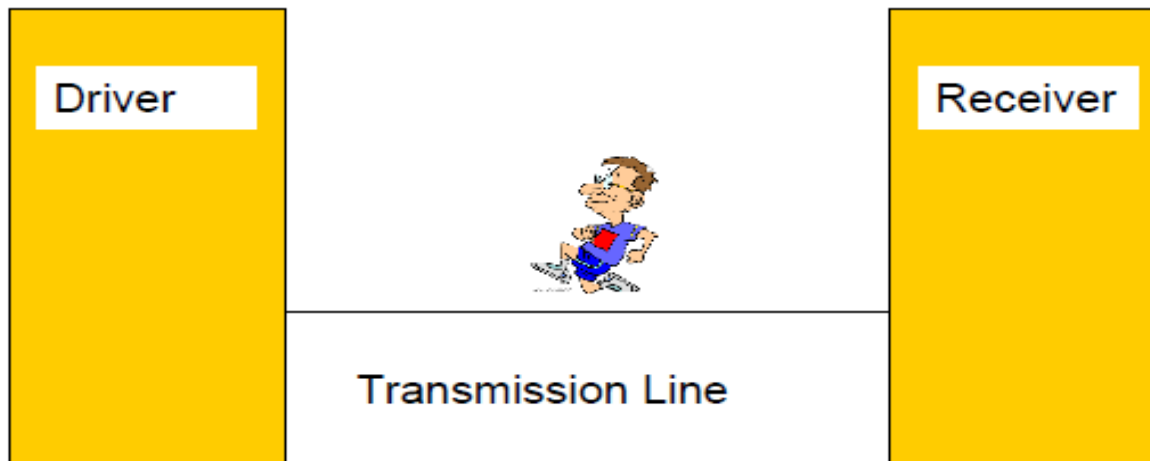
# Edgar重新被送往接收端

- Edgar以6 inches/nanosecond的速度运动



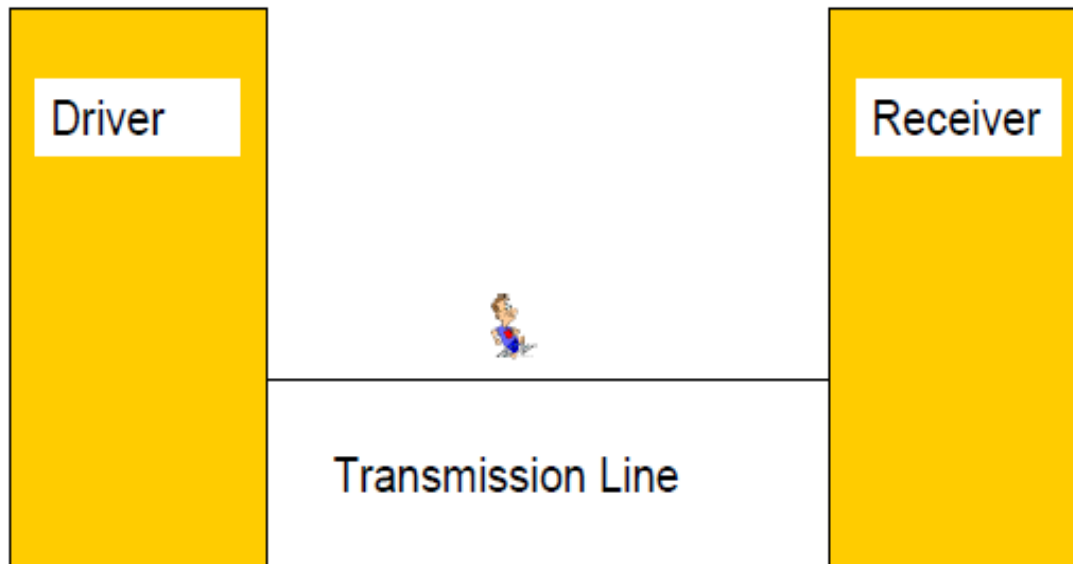
# Edgar又被送往源端

- Edgar以6 inches/nanosecond的速度运动



# Edgar第三次被送往接收端

- Edgar以6 inches/nanosecond的速度运动

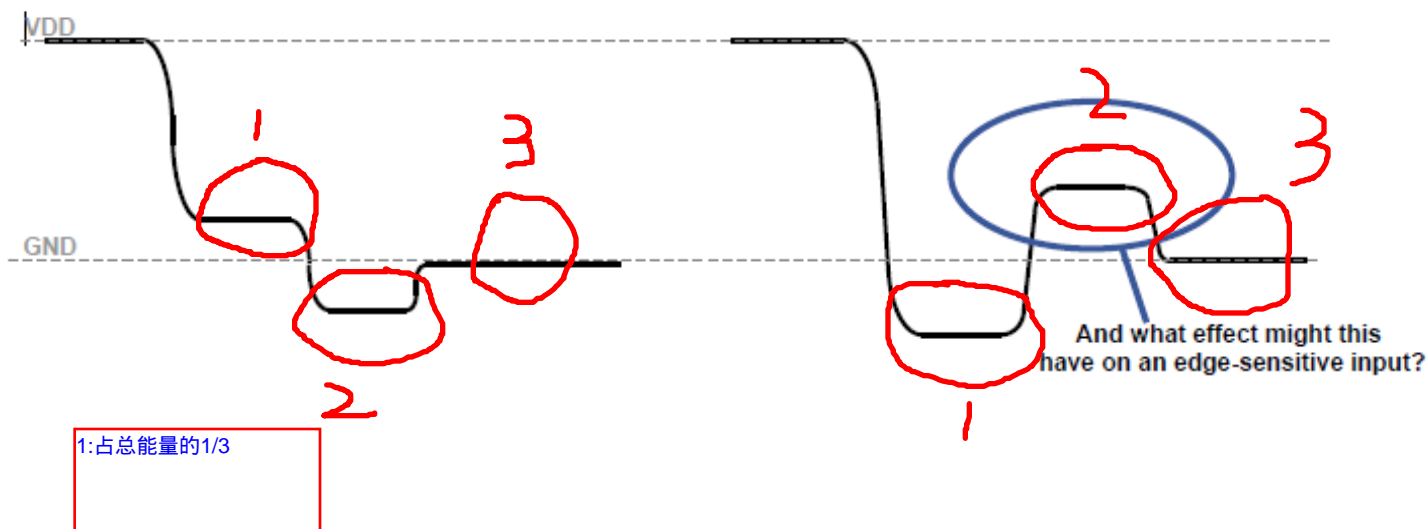




# 在示波器上我们会看到什么呢？

在输出端测量

在接收端测量



一直在接收端而非输出端测量

# 高速PCB设计和布线

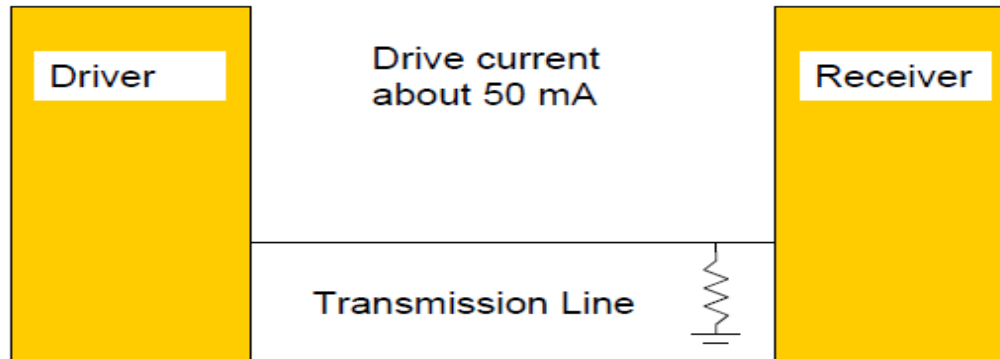
## 传输线终端

- 利用欧姆定律来最小化源端和负载端的阻抗不匹配
- 在源端
  - 源端阻抗一般低于50 ohm
  - 我们可以在源端串联一个电阻来增加阻抗以便与传输线匹配
  - 这种技术被称为串联端接
- 在负载端
  - 负载阻抗一般比50 ohm大很多
  - 我们可以在负载端并联一个电阻来降低阻抗以便与传输线匹配
  - 这种技术被称为并联端接
- 每种方式都有正反两方面
- 两者结合使用一般来说是比较有效的

# 高速PCB设计和布线

## 并联端接

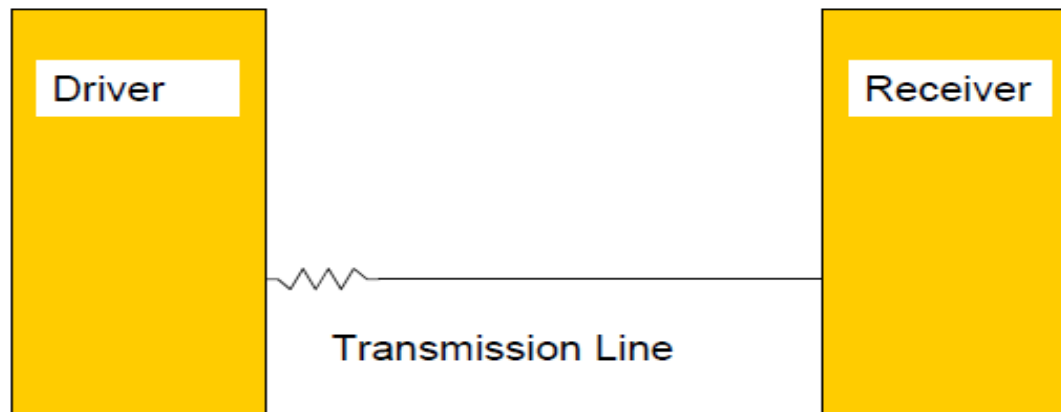
- 并联电阻在接收端效果不错但是：
  - 会增加输出电流，因此增加功率损耗
  - 增加串扰，EMI
  - 增加地弹或者引入噪声（取决于并联电阻被拉至高或低）



# 高速PCB设计和布线

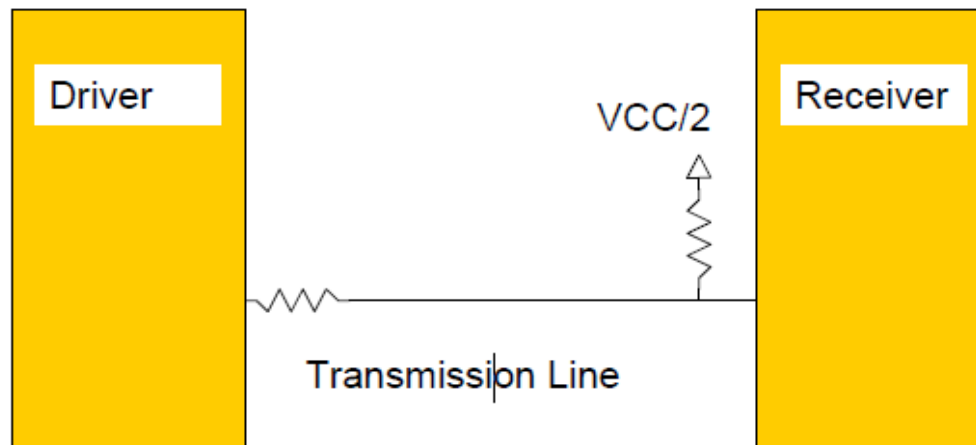
## 串联端接

- 输出端的串联端接不利效果较少：
- 但输出阻抗是非线性的，并且进入传输线的能量会损失一部分



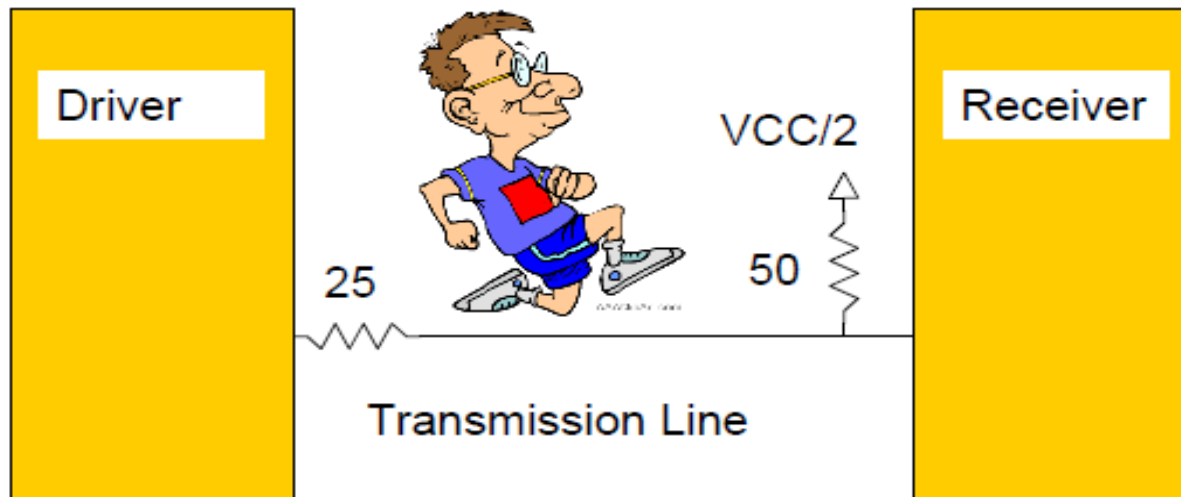
# DDR SDRAM 终端

- DDR 使用双倍端接
- 当 $VCC/2=1.25V$ 时，输出端的I大约是14mA



# 真实世界里Edgar遇到DDR时

- 串联电阻加上输出阻抗等于50 Ohm
- 并联电阻是50 ohms
- 传输线阻抗是60 ohm(较差的PCB)



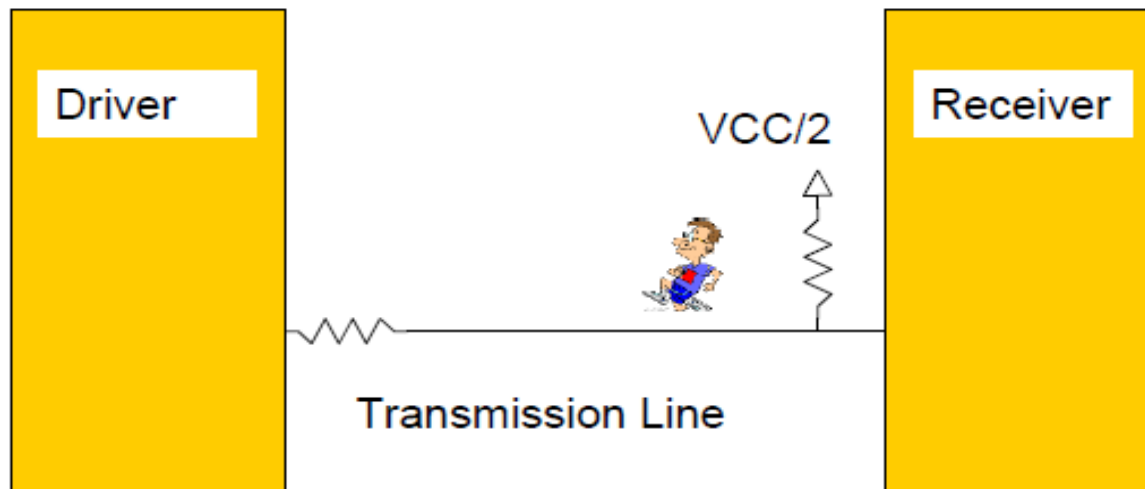
# Edgar遇到了第一个阻碍

- 接收阻抗是50ohm但传输线阻抗由于FR4结构和制造因素是60ohm
- 反射的能量是：

$$\frac{Z_L - Z_0}{Z_L + Z_0} = \frac{50 - 60}{50 + 60} = \frac{-1}{11}$$

# Edgar被反射

- Edgar以6 inches/nanosecond的速度运动





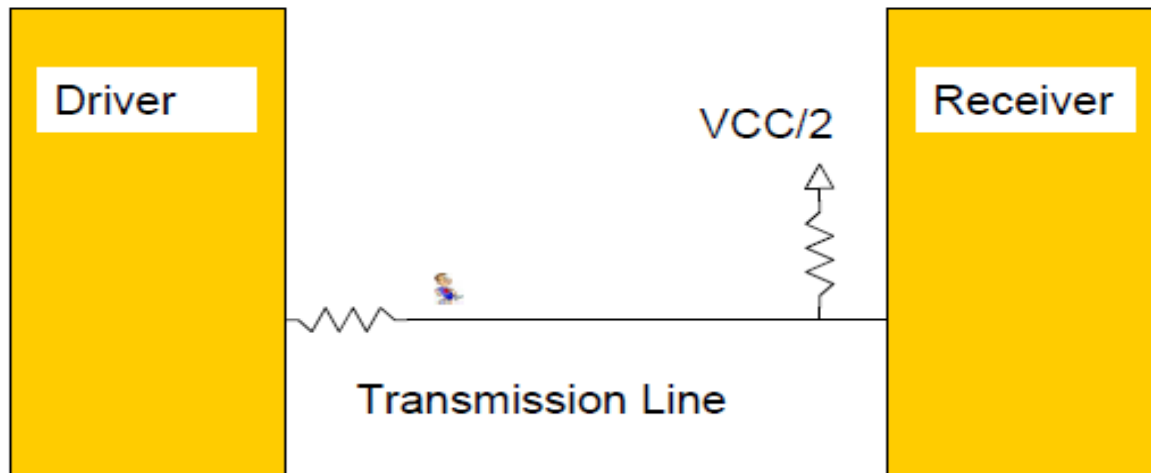
# Edgar遇到第二个障碍

- 输出阻抗是50ohm但传输线阻抗是60ohm
- 反射的能量是

$$\frac{Z_L - Z_0}{Z_L + Z_0} = \frac{50 - 60}{50 + 60} = \frac{-1}{11}$$

# Edgar被反射

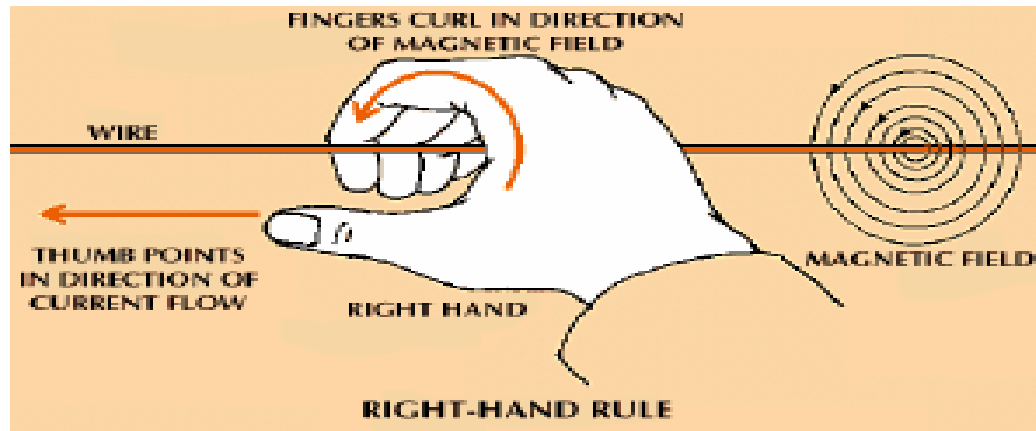
- Edgar以6 inches/nanosecond的速度运动
- Edgar的能量只有原始能量的1/100
- 因此Edgar改变电压的幅度是原先电压的1/10，大约0.2V



# 优秀PCB设计练习

## 电磁辐射

- 两个主要的电磁来源
  - 电流穿过一个金属会产生一个磁场
  - 在磁场中放置一个磁场会产生感应电流
- 导体的形状会影响流经它的电流所产生的磁场强度，反之亦然



# 优秀PCB设计练习

## EMI: 电磁干扰

- EMI:Electro-Magnetic Interference
- EMI代表的是一个设备上不良电磁辐射的总和
- PCB上一个设备的EMI可能会影响另一个设备的性能
  - 由于周期信号和快速的时钟及切换速率，数字信号最有可能成为不良辐射的来源
  - 由于较高的增益，模拟电路更容易成为受害者
- 一个系统的EMI可能会影响邻近系统的性能

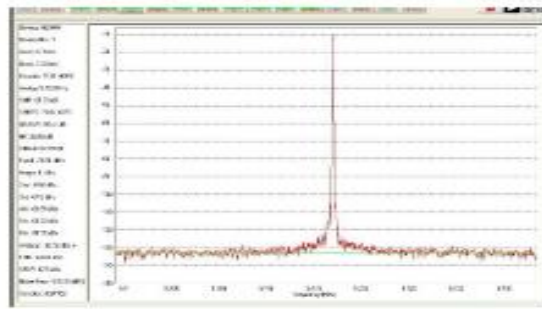
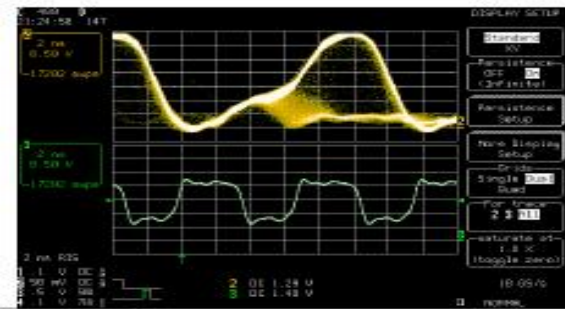
# 优秀PCB设计练习

## 降低PCB的EMI

- 有许多方法可以降低PCB设计的EMI
- 基本原理：
  - 电源和地平面提供屏蔽
  - 顶层和底层的地平面至少可以把多层板设计中的辐射降低10dB
  - PCB中器件的摆放-将模拟系统和数字系统离得尽可能远
  - 使用合适的去耦电容可以降低电源/地平面的噪声，并由此来消弱来自这些平面的EMI
  - 保持信号走线远离PCB的边缘
  - 避免在PCB走线中使用直角
  - PCB走线会由于反射在基频和数倍谐波内引起谐振
- 更多
  - <http://www.radioing.com/eengineer/pcb-tips.html>

# 在PCB设计获得最好的性能

- 随着放大器与转换器的提升，在PCB设计中获得所需要的性能是一种挑战
- 在设计之前进行布线指导和设计要点的培训会节取很多调试的时间
  - 混合信号的布线技术
  - 小信号的布线技术





The World Leader in High Performance Signal Processing Solutions

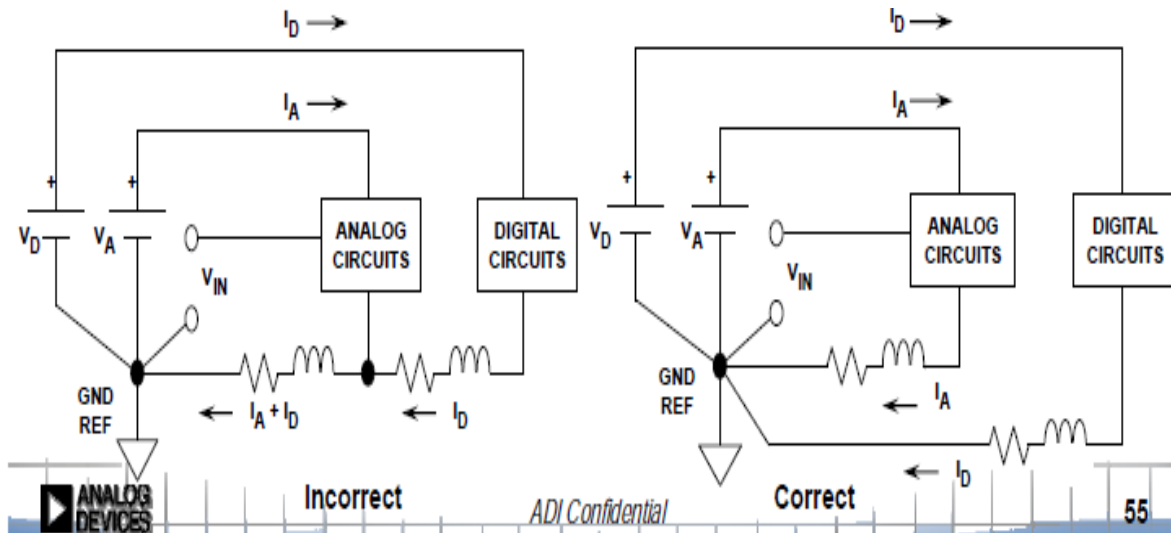
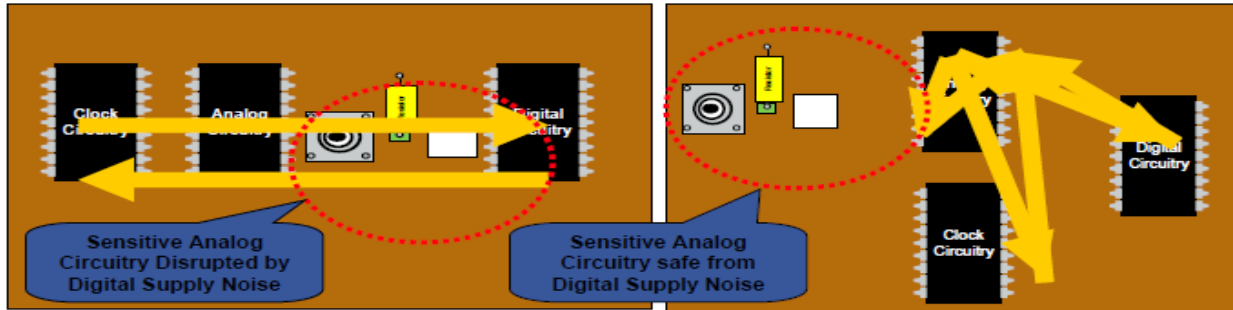
# Mixed Signal PCB Layout

## Grounding Data Acquisition System

ADI

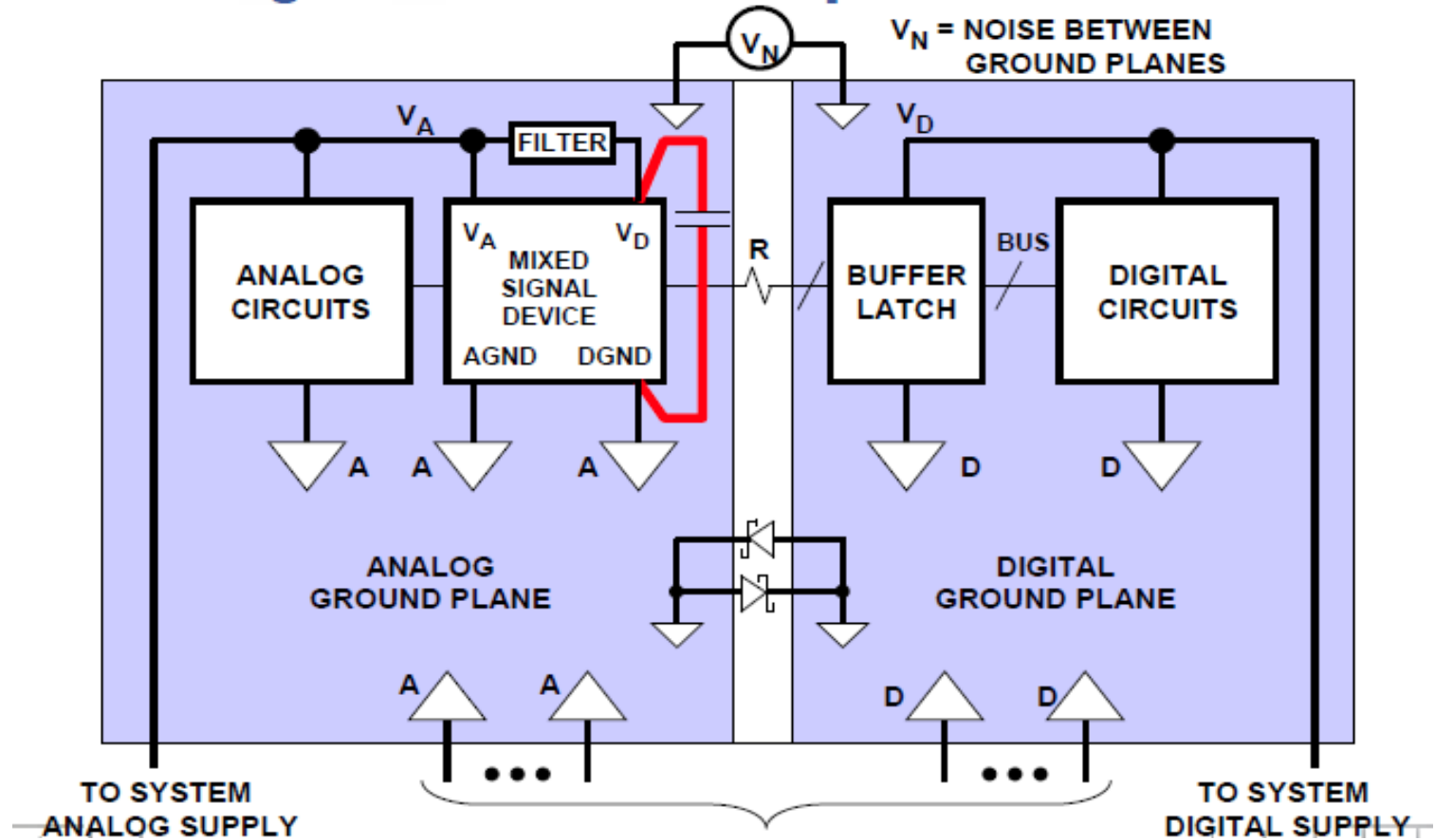


# 数字电流通过模拟回路的返回路径会导致错误的电压





# 混合信号IC（较低的数字电流）的 的接地：多板设计







The World Leader in High Performance Signal Processing Solutions

# Mixed Signal PCB Layout

## Using Ground Plane

ADI



# 地平面的特征

- 在同一块板子上，无线数字信号经常会有较高的数字逻辑，例如高增益的RF电路
- 屏蔽和接地对于接收端的设计是非常有效的
  - 辐射在源端就应该被屏蔽掉
  - 地平面电流应该回到源端
  - 电源电流会通过最小电阻和电感路径回到源端
- 至少有一层完整的地平面
  - 一个完整的PCB层是一个连续的地导体
    - 提供最小的电阻和电感，但它并不能解决所有的地平面问题
    - 地平面的割裂会提高或者降低回路的性能-这里没有通用的规则
- 消除可能的接地回路
- 布线中特别需要关心的是数字返回电流不要通过板子中的模拟区域



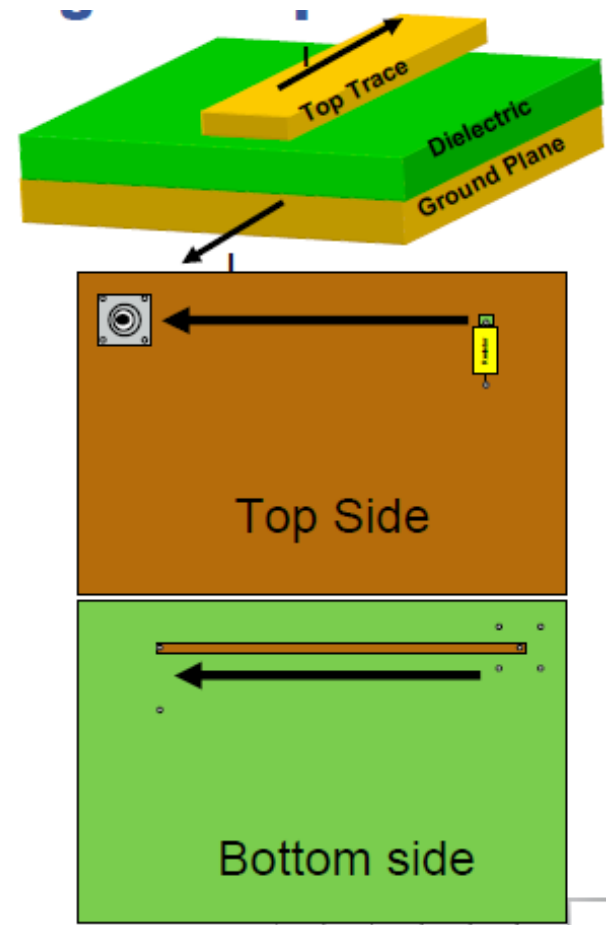
- 利用多层板 ( $\geq 4$ ) 中的电源和地平面

# 怎样充分利用你的地平面

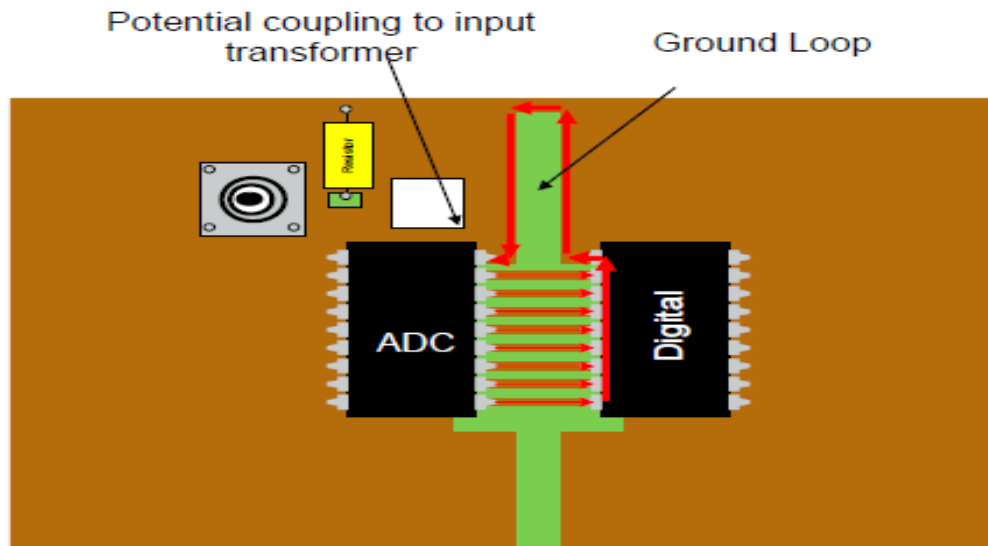
- 提供尽可能多的地平面
  - 尤其是在高频走线的下面
- 尽可能使用较厚的金属板
  - 降低电阻并提高散热
  - 帮助降低由趋肤效应引起的损耗
- 安装上升时间较快或高频的器件时应尽可能的贴近板子
  - 尽量不要使用加铅的器件
- 尽量找出对于地平面来说是最危险的器件以降低压降
- 将模拟电路圈禁在一个区域内，然后将数字电路放在另外一个区域内
- 避免将数字回路与模拟回路离得较近，这样有助于避免数字噪声耦合到模拟线上

# 完整地平面接地举例

- 高速转换器PCB板的单个GND层
- 顶层与底层的空地方用GND覆盖，不要变成无连接的孤立铜区
- 尽可能的利用via连接2个或多个GND层，但不要将平面切碎
- 例子
  - 顶层是完整的地平面
  - 底层有一条走线通过RF连接器边到负载
  - 返回电流从负载流回接收端，位于走线的正上方



# 分割地平面举例

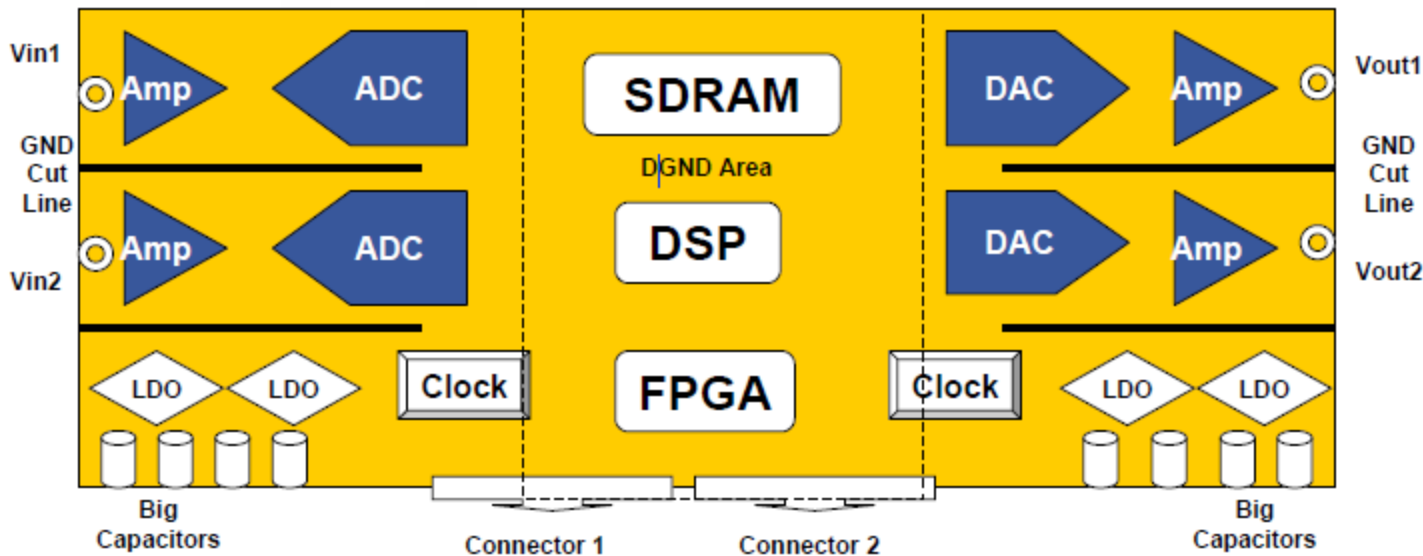


- 接地回路由两个分割开的地平面引入
- 例如一个数字线路以 $1 \text{ v/ns}$ 切换， $10 \text{ pf}$ 的负载将会产生 $10\text{mA}$ 的瞬态电流
  - 如果6条线路同时切换，回路上将会有 $160\text{mA}$ 的切换电流





# 优秀的器件摆放与切割线



- 将模拟区域，混合信号区域和数字区域分割开
- 输入与输出没有交叉
- 时钟区域是一个单独的区域
- 供电电源是一个单独的区域，尤其是DC-DC区域
  - DC-DC在一个角落，最好在另外一块PCB板上
  - DC-DC必须使用分割线
  - 大电容最好放置在角落，或靠近PCB的边缘



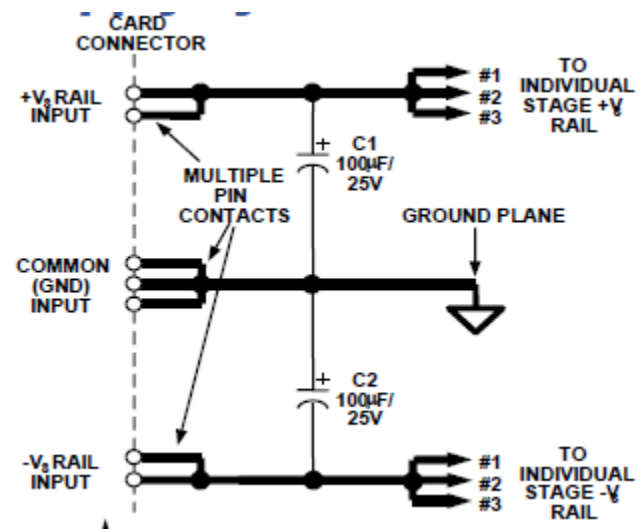
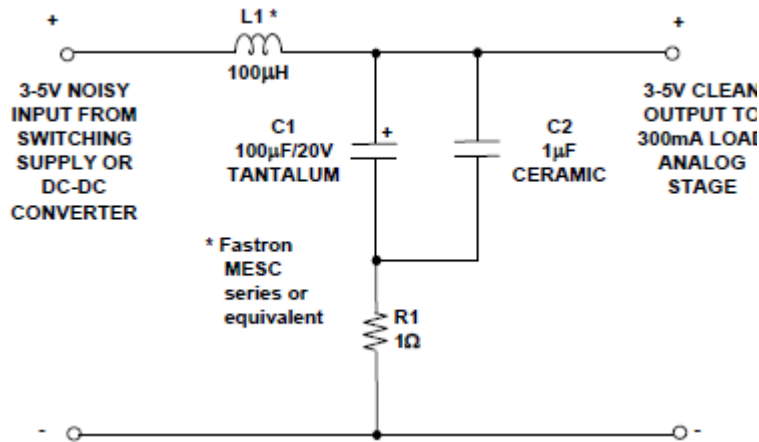
The World Leader in High Performance Signal Processing Solutions

# Mixed Signal PCB Layout

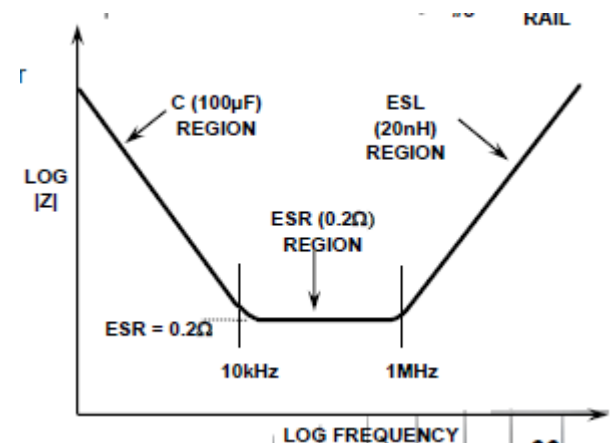
## Power Filter & Decoupling Capacitor consideration



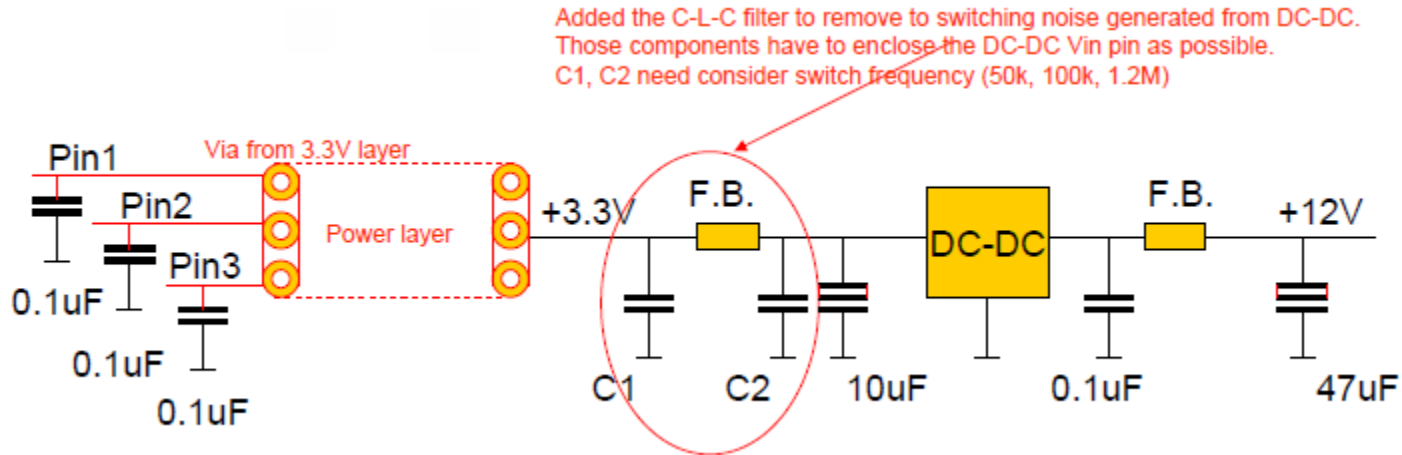
# 供电系统的优先规则



- 一个Card-entry的滤波器对于模拟系统中的中低频段噪声滤除是非常有好处的。
- 高性能的模拟电源系统使用线性调节器，其优先级如下：
  - AC line power
  - Battery power systems
  - DC-DC power conversion systems
- 记住电解电容器阻抗随频率变化而变化

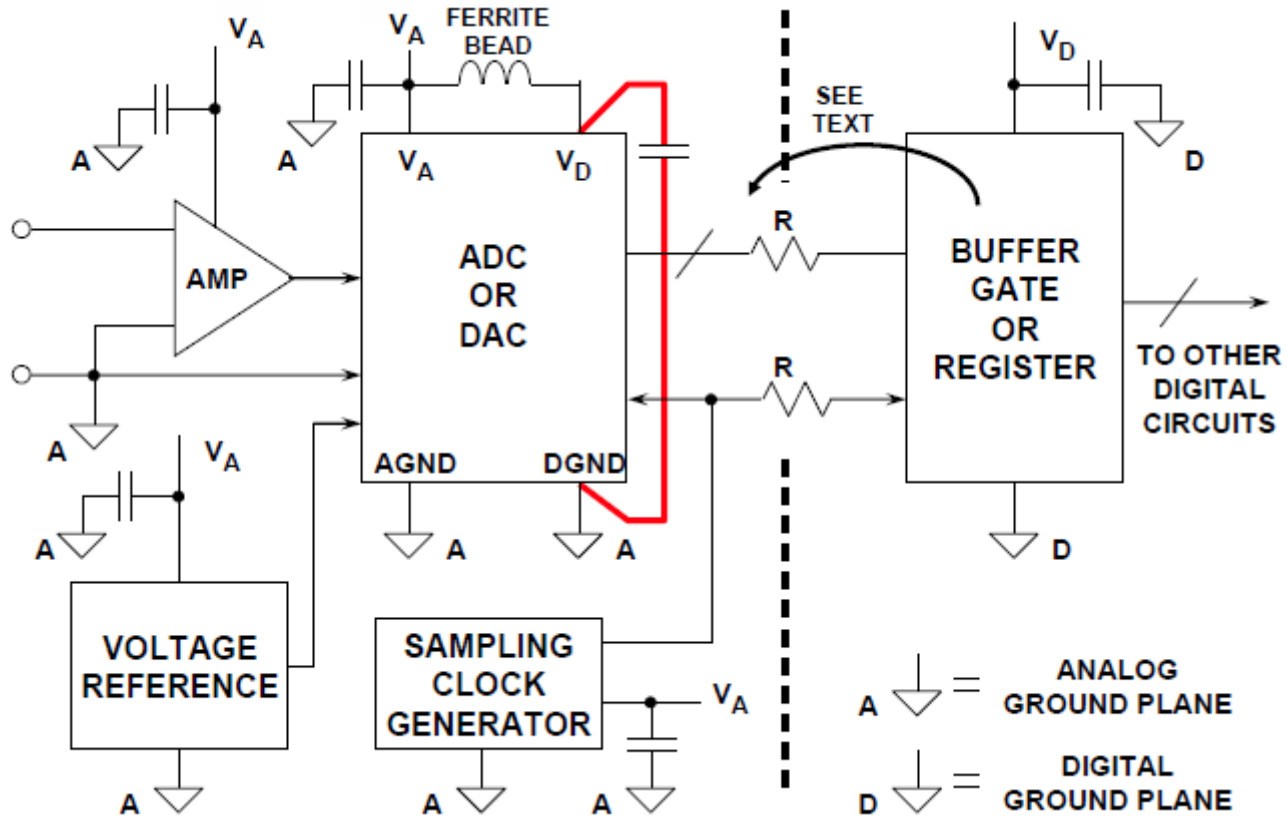


# DC-DC 电源滤波

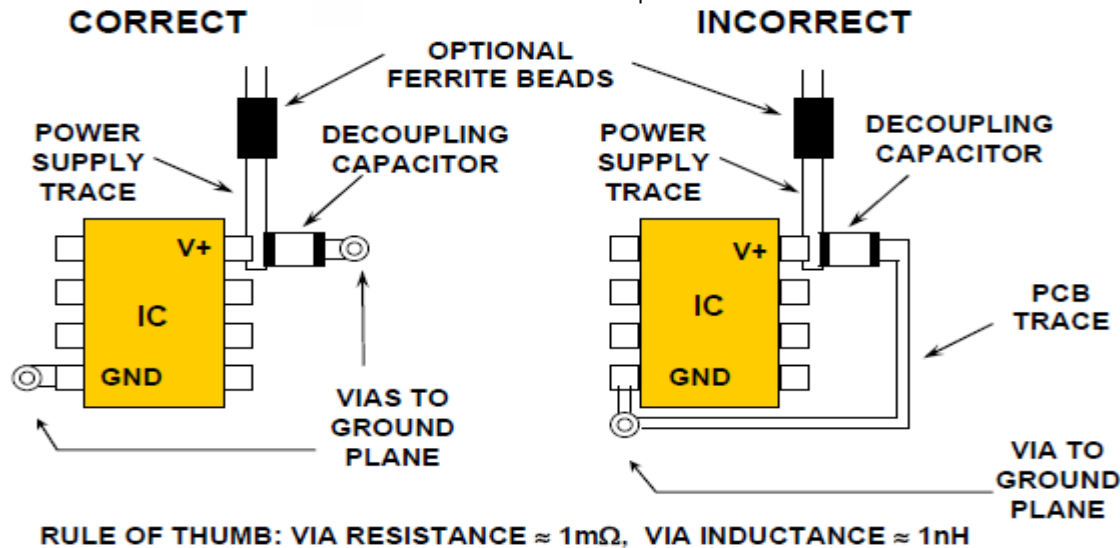


- 切换调节器应该尽量避免，如果不行...
  - 控制噪声
  - 提高布线和铺地的质量
  - 考虑EMI
  - 不建议DC-DC供电系统和模拟供电系统一样，至少要增加LDO
- **DC-DC 供电可以和数字供电的 ADC或 MCV (ADuC702x)一样**
- **DC-DC应该远离ADC (Or ADuC702x)**
- **C-L-C滤波器应靠近DC-DC**
- 每个**Power pin**附近需要一个**0.1uf**的电容
- 在电源平面铺一个较大的**3.3v**平面有很大帮助

# 接地和去耦

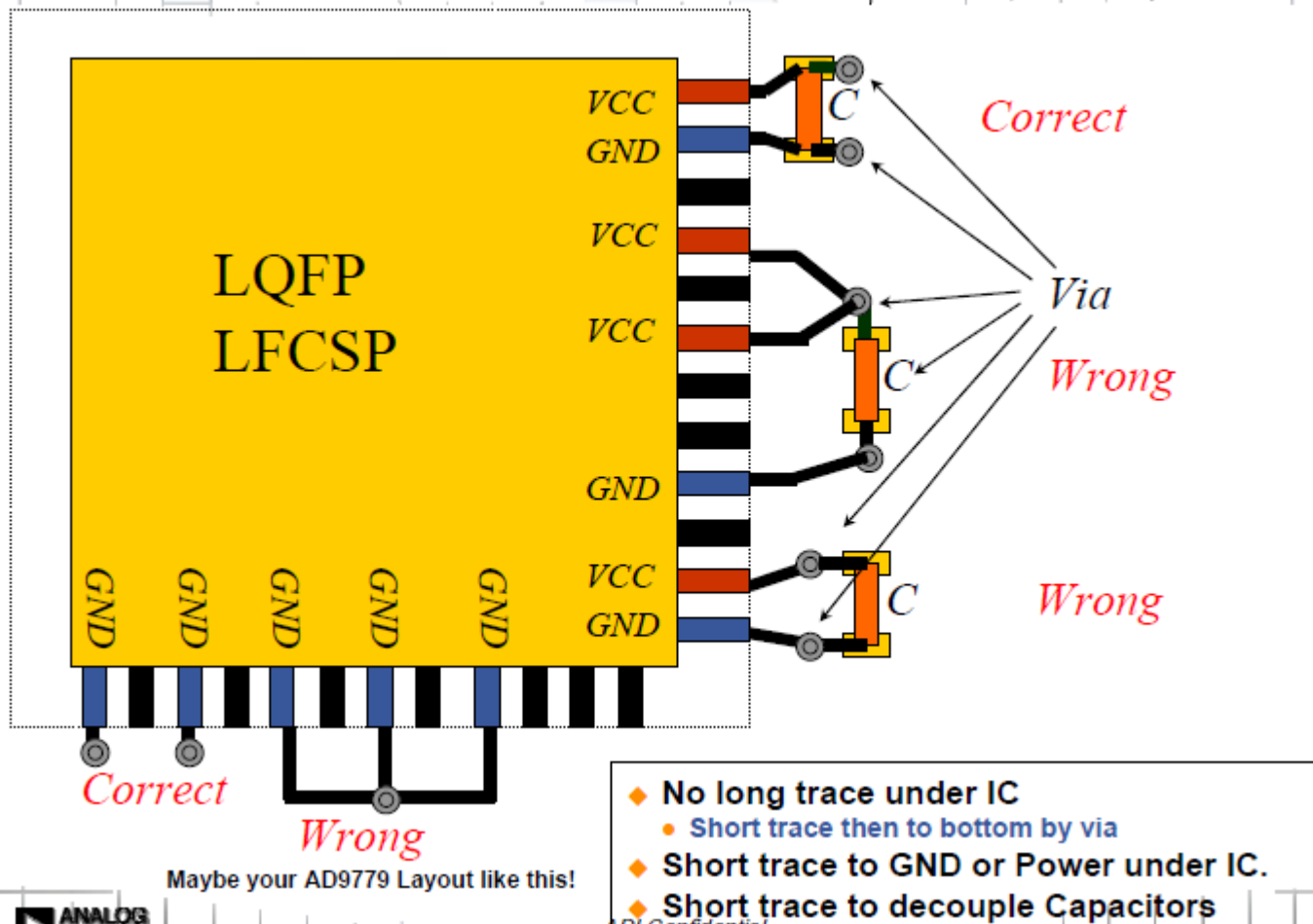


# SOIC的去耦

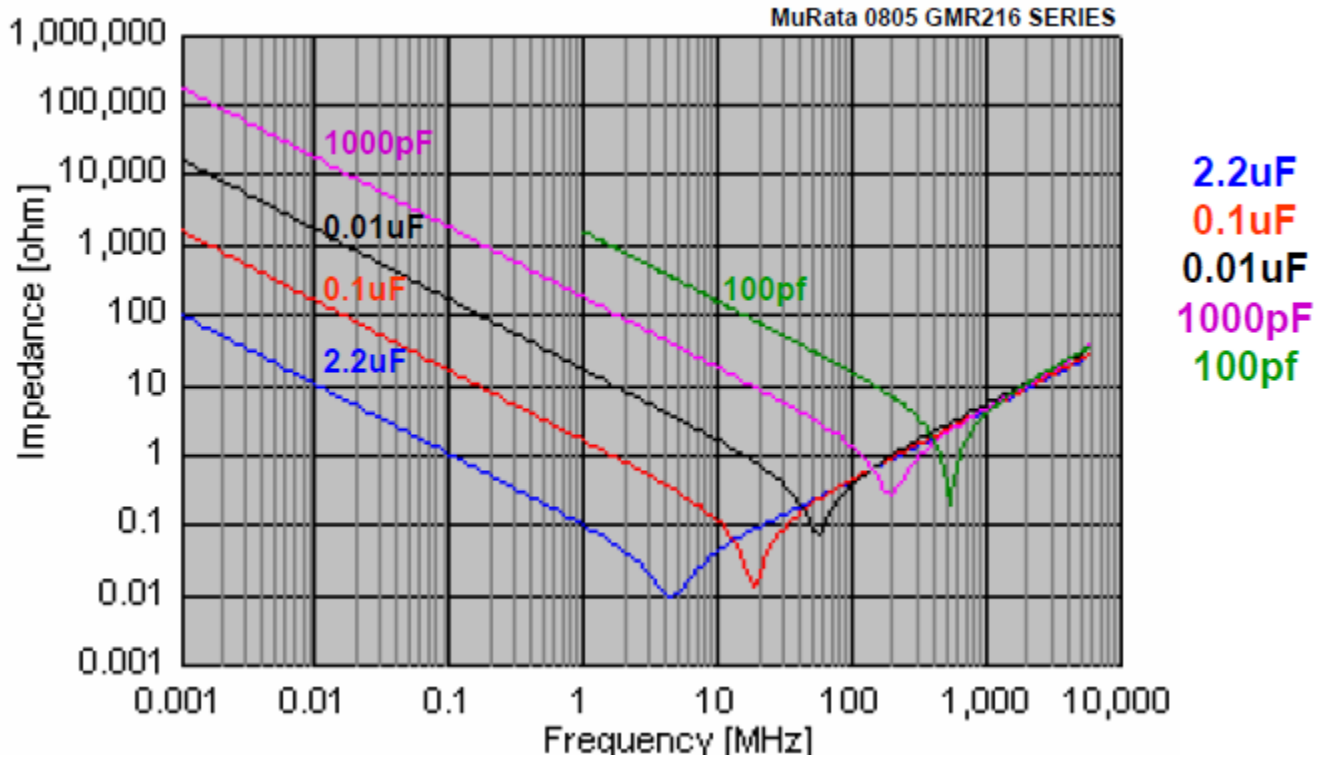


- 局部的高频滤波器可以优化小小效果，去耦电容可以减小回路电感
- 经验法则
  - Via resistance  $\approx 1\text{m}\Omega$ , Via inductance  $\approx 1\text{nH}$

# LQFP/LFCSP去耦



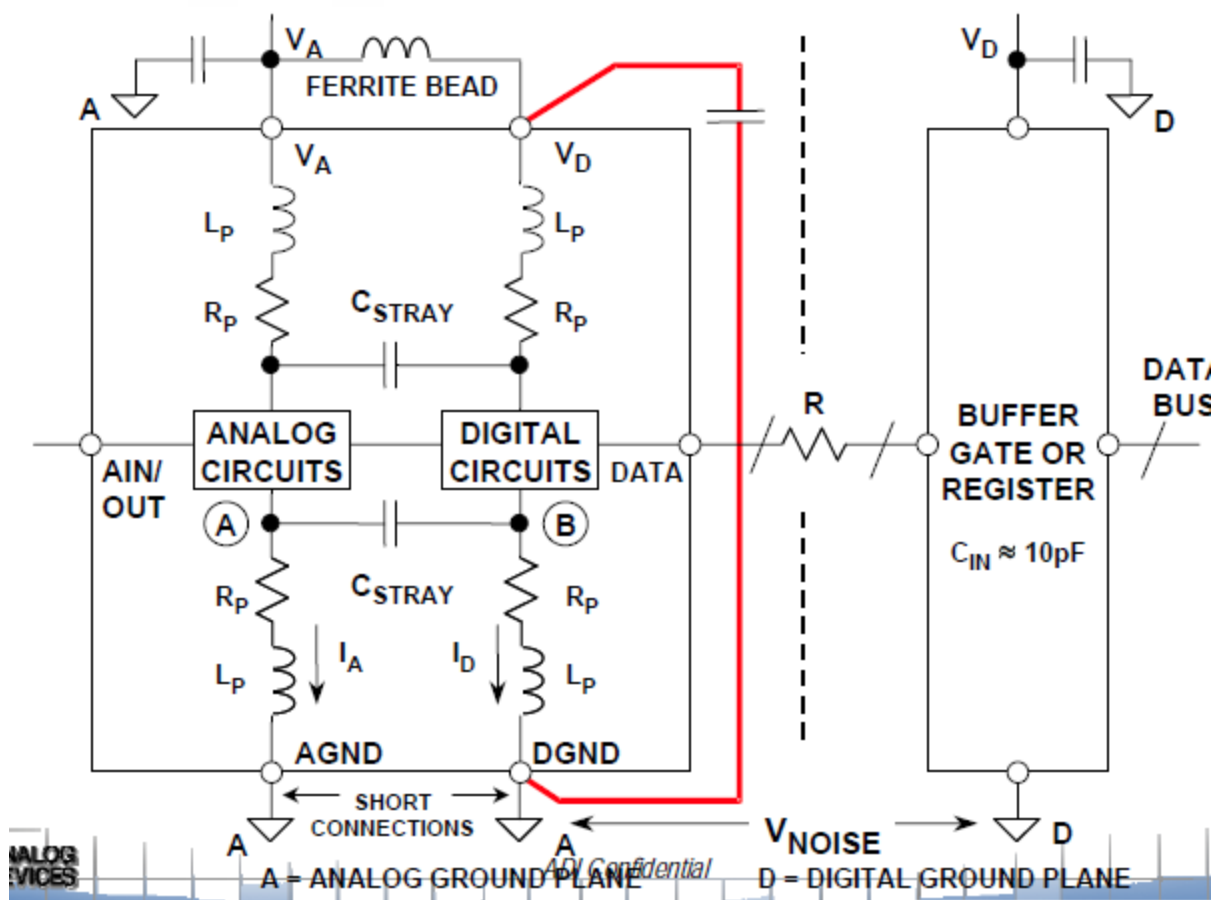
# 不同的去耦电容 阻抗VS频率



- 并联电容可以在一个较宽的频带内降低阻抗
- 小的去耦电容尽可能靠近电源引脚

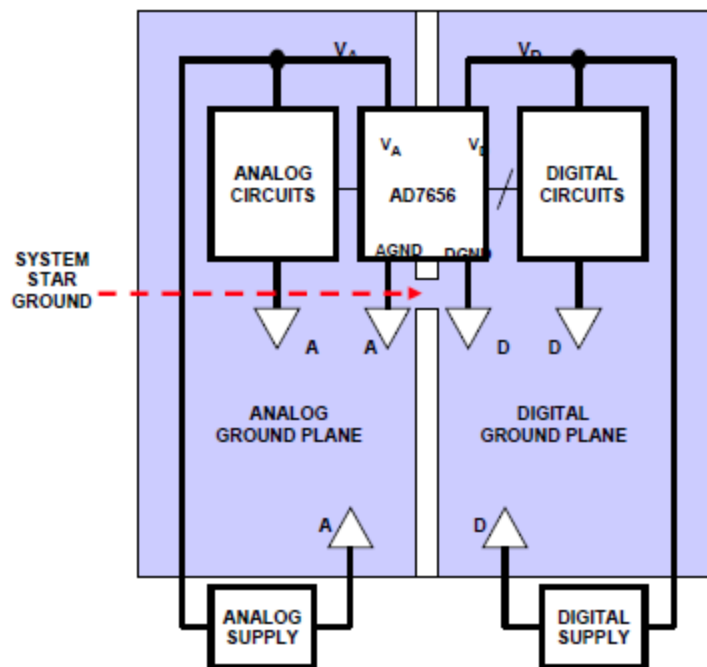


# 为什么每个电源引脚都需要去耦



# Low Speed High Resolution ADC 举例

- AD7656在接了和去耦时可能存在的问题
- 较差的接地和供电
  - +5V AVCC 必须恒定
  - 一半AVCC电源平面，一半DVCC平面，在底层的+/- 12v使用较宽的走线 (>1mm), 避免+/- 12V 切割 AVCC
  - AGND与DGND连到单点接地
- 去耦不足
  - 每个AD7656都需要220uf去耦
  - 对每个AVCC引脚使用10uf+0.1uf (一共8个引脚)
  - 从AVCC引脚到过孔应该使用较短与粗的走线
  - 无铅电容布线



# 去耦电容总结

- 旁路电容离电容引脚尽可能的近
- **SMT**磁珠对于降低**Ripple**非常有效
- 高频时需要地平面
  - 最小化寄生参数
- 使用稳定高效的器件
  - 较少的漂移和较低的**ESR**
- 完全精确的分析是比较困难的
  - 为了优化结果可以使用一引起模型分析
- 使用一组并联的电容来去除较宽频带内的噪声

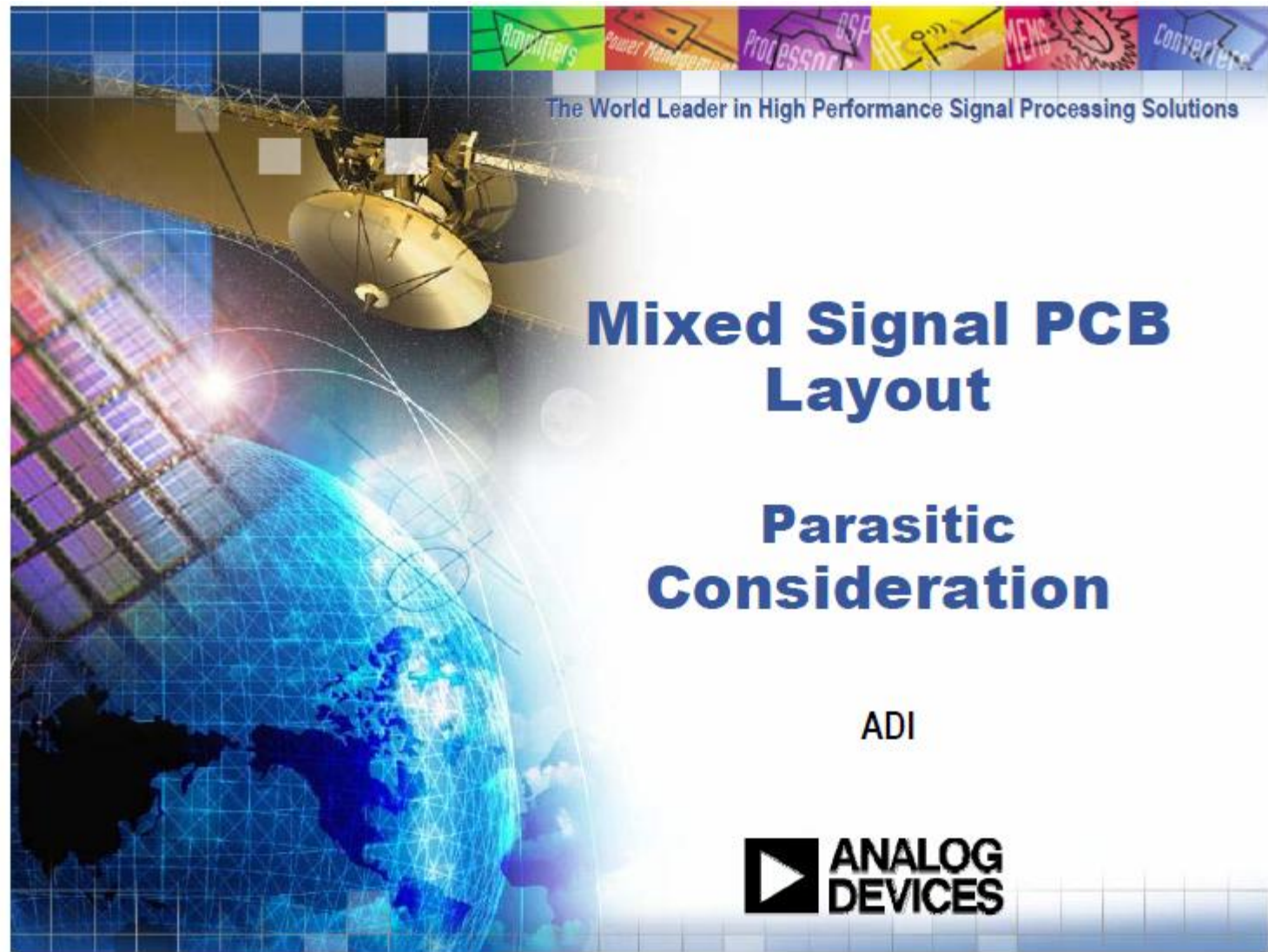


The World Leader in High Performance Signal Processing Solutions

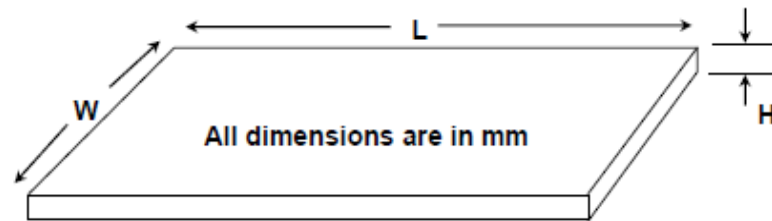
# Mixed Signal PCB Layout

## Parasitic Consideration

ADI



# 近似的走线电感



$$\text{STRIP INDUCTANCE} = 0.0002L \left[ \ln \left( \frac{2L}{W+H} \right) + 0.2235 \left( \frac{W+H}{L} \right) + 0.5 \right] \mu\text{H}$$

1cm of 0.25 mm PC track has an inductance of 9.59 nH  
(H = 0.038mm, W = 0.25mm, L = 1cm)

## Example

L = 2.54cm = 25.4mm, W = 0.25mm

H = .035mm (1oz copper)

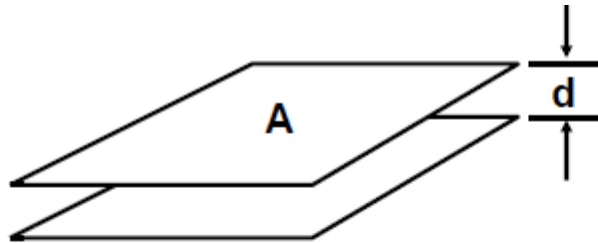
Strip Inductance = 28.8nH

At 10MHz  $Z_L = 1.86 \Omega$  a 3.6% error in a  $50\Omega$  system

## Minimize Inductance

- 1) Use Ground plane
- 2) Keep length short: Halving the length reduces inductance by 44%
- 3) Doubling width only reduces inductance by 11%

# 走线/焊盘的容性



$$C = \frac{0.00885 E_r A}{d} \text{ pF} \quad C = \frac{kA}{11.3d}$$

A = plate area in mm<sup>2</sup>

d = plate separation in mm

E<sub>r</sub> = dielectric constant relative to air

K = relative dielectric constant

- ◆ Most common PCB type uses 1.5mm glass-fiber epoxy material with E = 4.7
- ◆ Capacity of PC track over ground plane is roughly 2.8pF/cm

## Reduce Capacitance

- 1) Increase board thickness
- 2) Reduce trace/pad area
- 3) Remove ground plane

## Example: Pad of SOIC

$$L = 0.2\text{cm} \quad W = 0.063\text{cm}$$

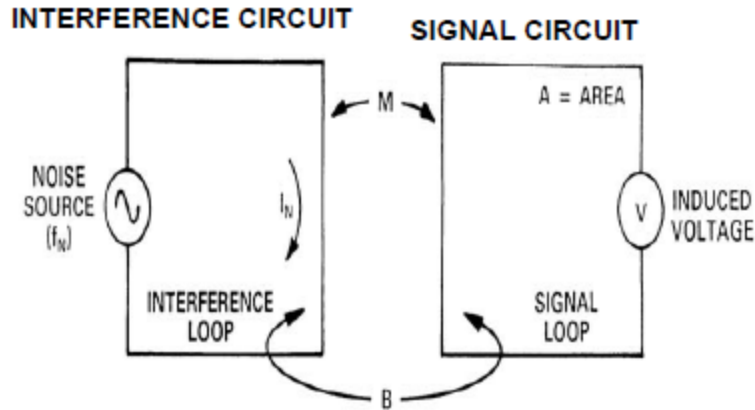
$$K = 4.7$$

$$A = 0.126\text{cm}^2$$

$$d = 0.073\text{cm}$$

$$C = 0.072\text{pF}$$

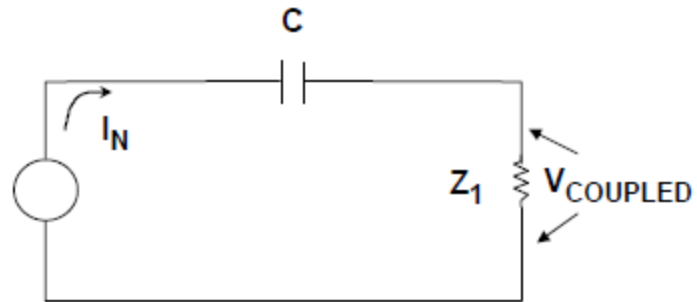
# 耦合的基本规则



M = MUTUAL INDUCTANCE  
 B = MAGNETIC FLUX DENSITY  
 A = AREA OF SIGNAL LOOP  
 $\omega_N = 2\pi f_N$  = FREQUENCY OF NOISE SOURCE  $V_N$   
 V = INDUCED VOLTAGE =  $\omega_N M I_N = \omega A B$

BASIC PRINCIPLES OF INDUCTIVE COUPLING

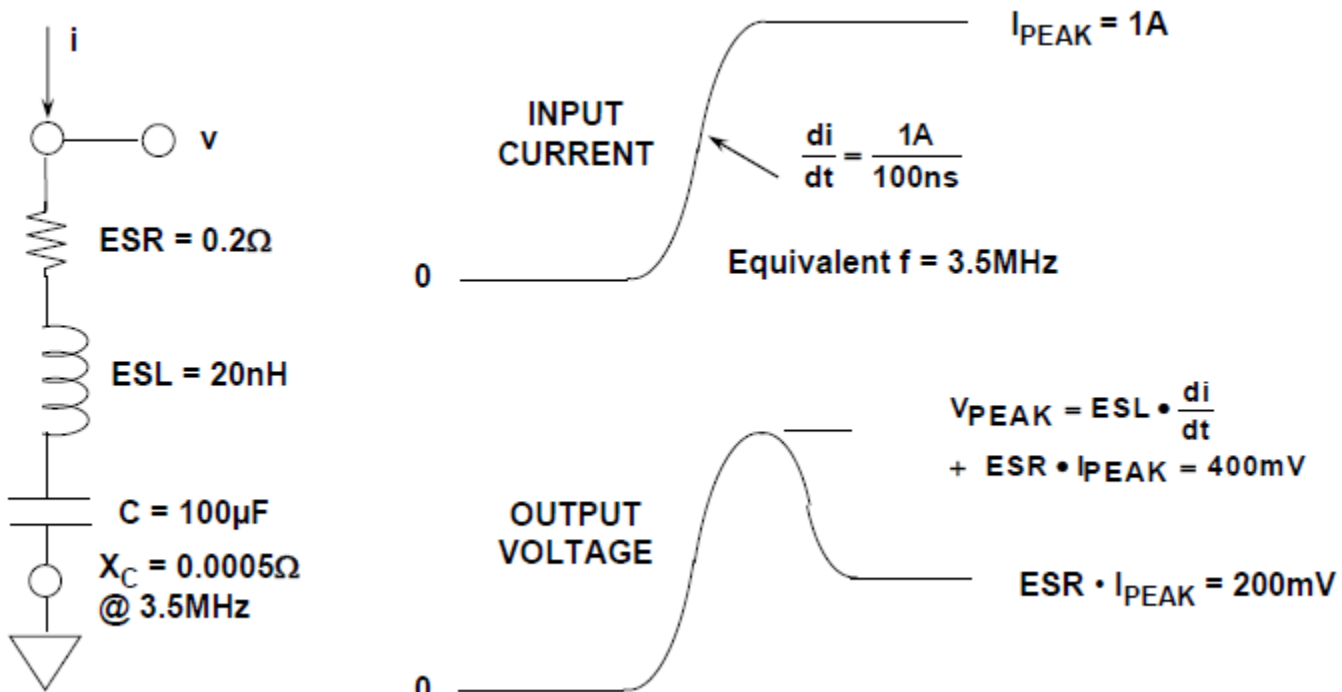
CAPACITIVE COUPLING  
 EQUIVALENT CIRCUIT MODEL



$Z_1$  = CIRCUIT IMPEDANCE  
 $Z_2 = 1/j\omega C$

$$V_{COUPLED} = V_N \left( \frac{Z_1}{Z_1 + Z_2} \right)$$

# 电容等效电路和输入响应





# 过孔寄生参数

## Via Inductance

$$L = 2h \left[ \ln \left( \frac{4h}{d} \right) + 1 \right] \text{ nH}$$

*L = inductance of the via, nH*

*H = length of via, cm*

*D = diameter of via, cm*

*Consider a power supply pin of an op amp that goes through a via to the power plane of an 0.157 cm thick board, the diameter of the via is 0.041 cm*

$$L = 2(0.157) \left[ \ln \left( \frac{4(0.157)}{0.041} \right) + 1 \right]$$

$$L = 1.2 \text{ nH}$$

## Via Capacitance

$$C = \frac{0.55 \epsilon_r T D_1}{D_2 - D_1}$$

*D<sub>2</sub> = diameter of clearance hole in the ground plane, cm*

*D<sub>1</sub> = diameter of pad surrounding via, cm*

*T = thickness of printed circuit board, cm*

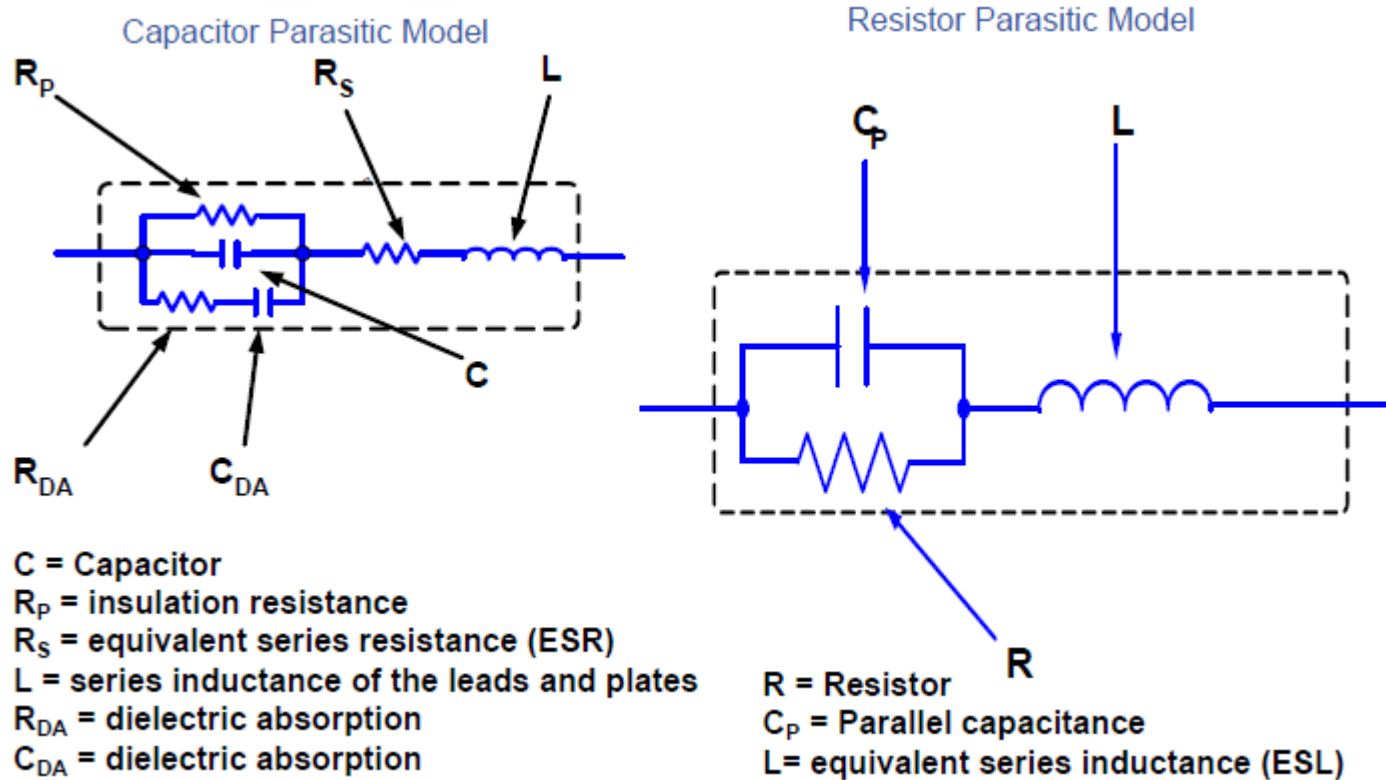
*ε<sub>r</sub> = relative electric permeability of circuit board material*

*C = parasitic via capacitance, pF*

*Consider a signal coming from the back of the board to the top of the board through a via. Board thickness = 0.157cm, D<sub>1</sub>=0.071cm D<sub>2</sub> = 0.127*

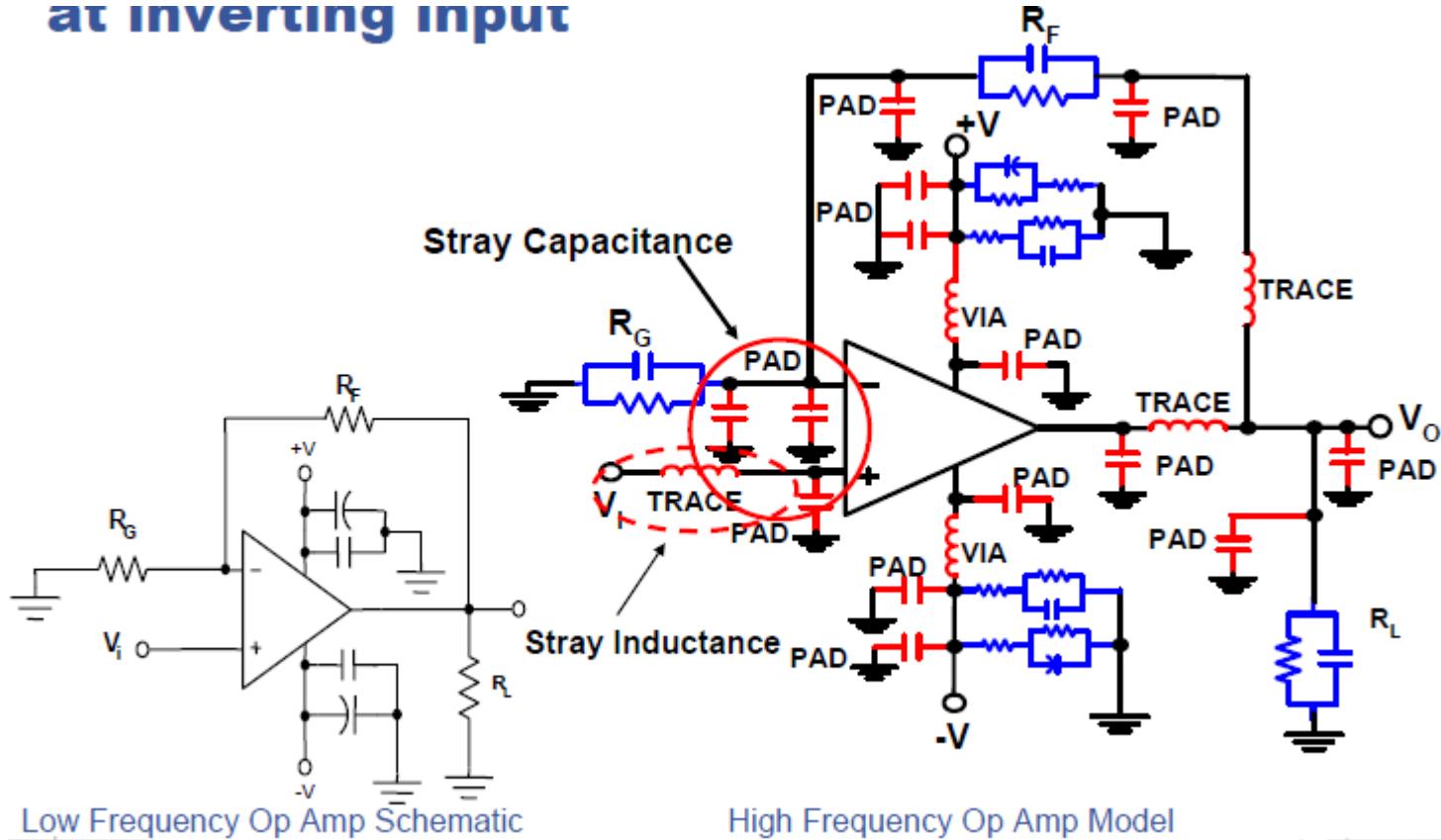
$$C = 0.51 \text{ pF}$$

# 寄生模型

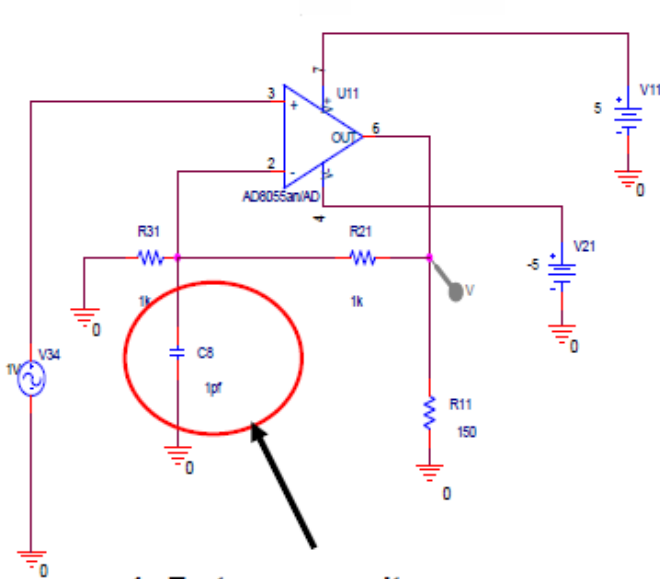


# 寄生电容和寄生电感

at inverting input

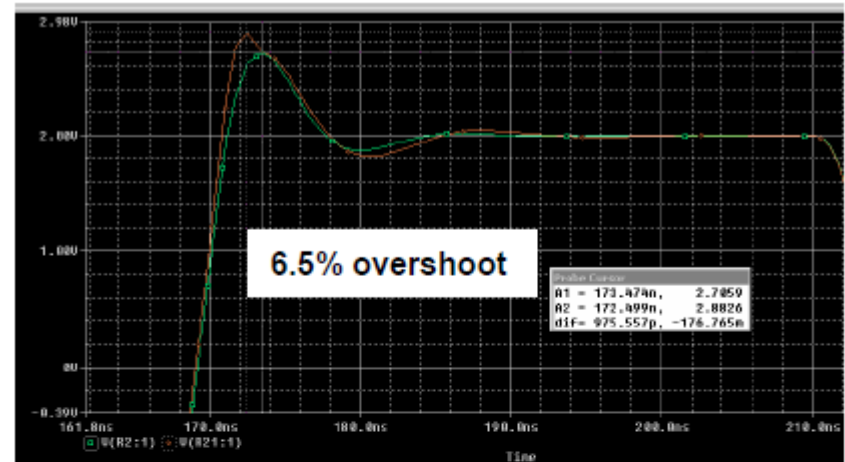


# 寄生电容仿真

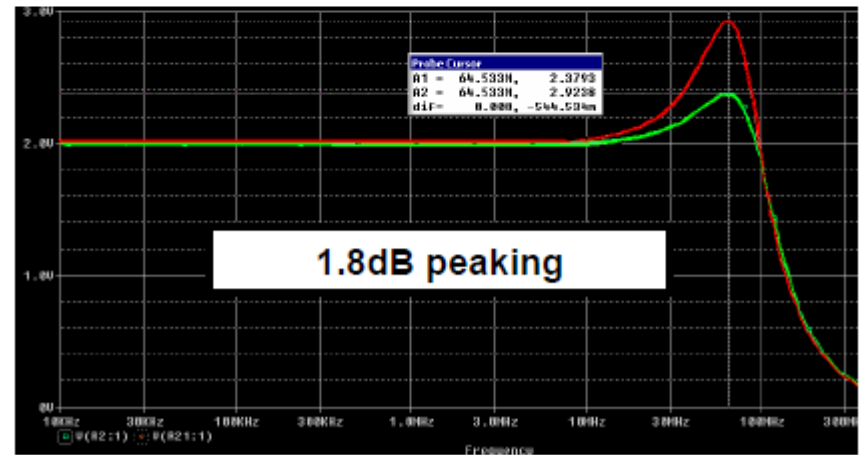


1pF stray capacitance

- 降低过冲
- 增加板子厚度
- 减少trace/pad区域
- 降低电阻



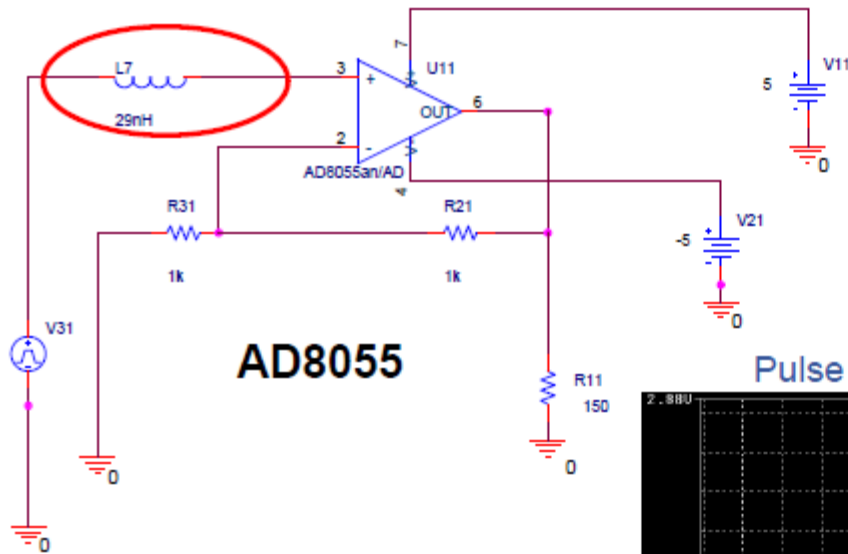
Pulse Response with 1pF Stray Capacitance



Frequency Response with 1pF Stray Capacitance

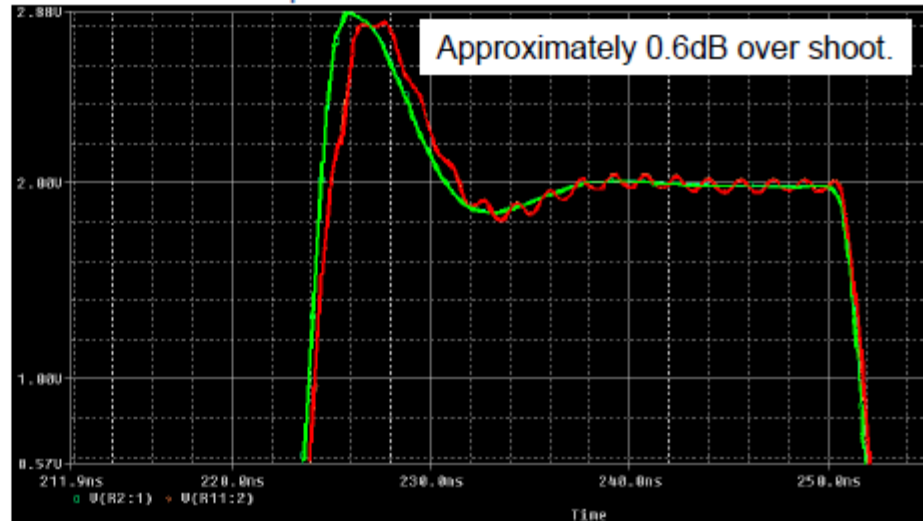
# 寄生电感仿真原理图

1"x0.01" = 29nH



AD8055

Pulse Response With and Without Ground Plane

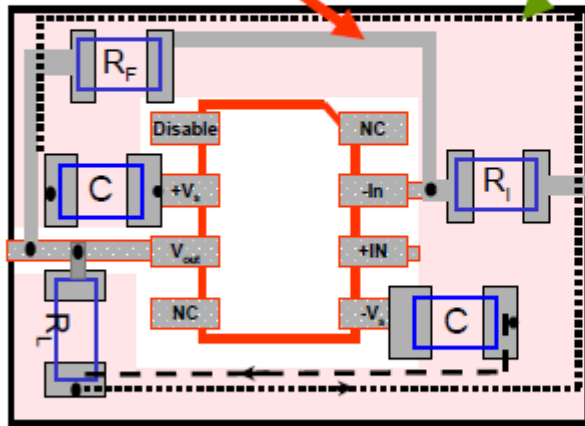


# 布线-该做与不该做的

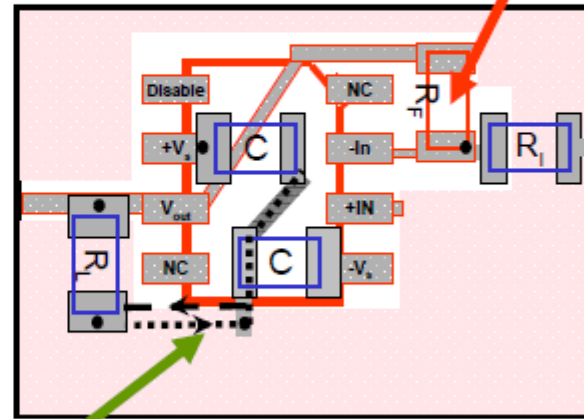
Even a few pF on summing junction can destabilize op amp

Vias and long return distance adds several nH

Remove ground plane under Negative input to reduce input capacitance



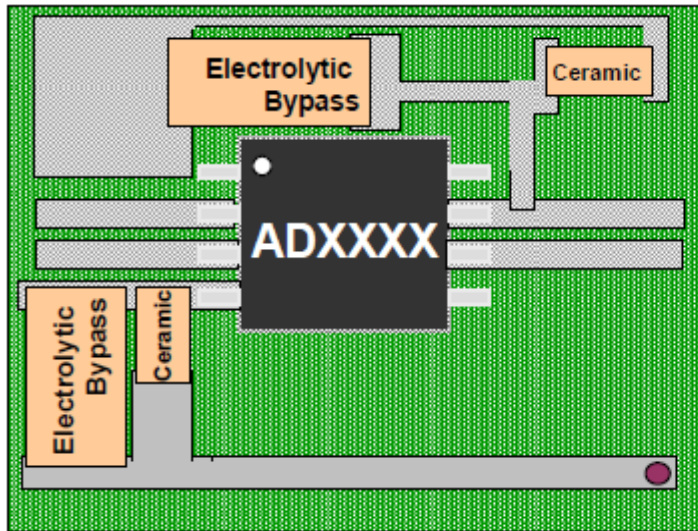
Bad PCB layout



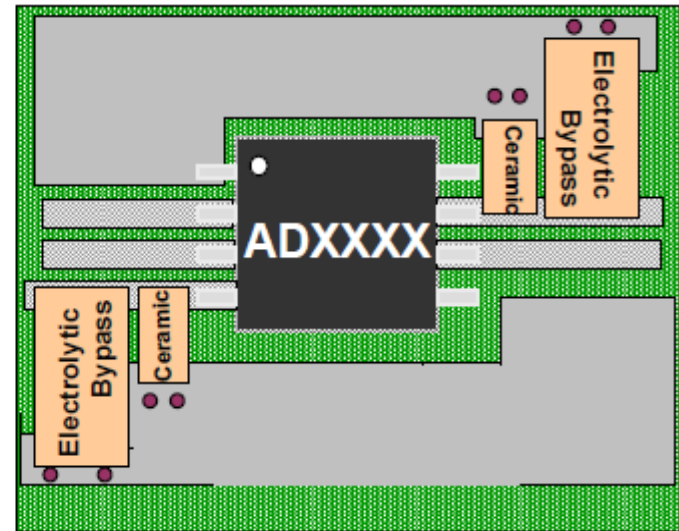
Good PCB layout

Reduce return path length to reduce Inductance

# 旁路电容

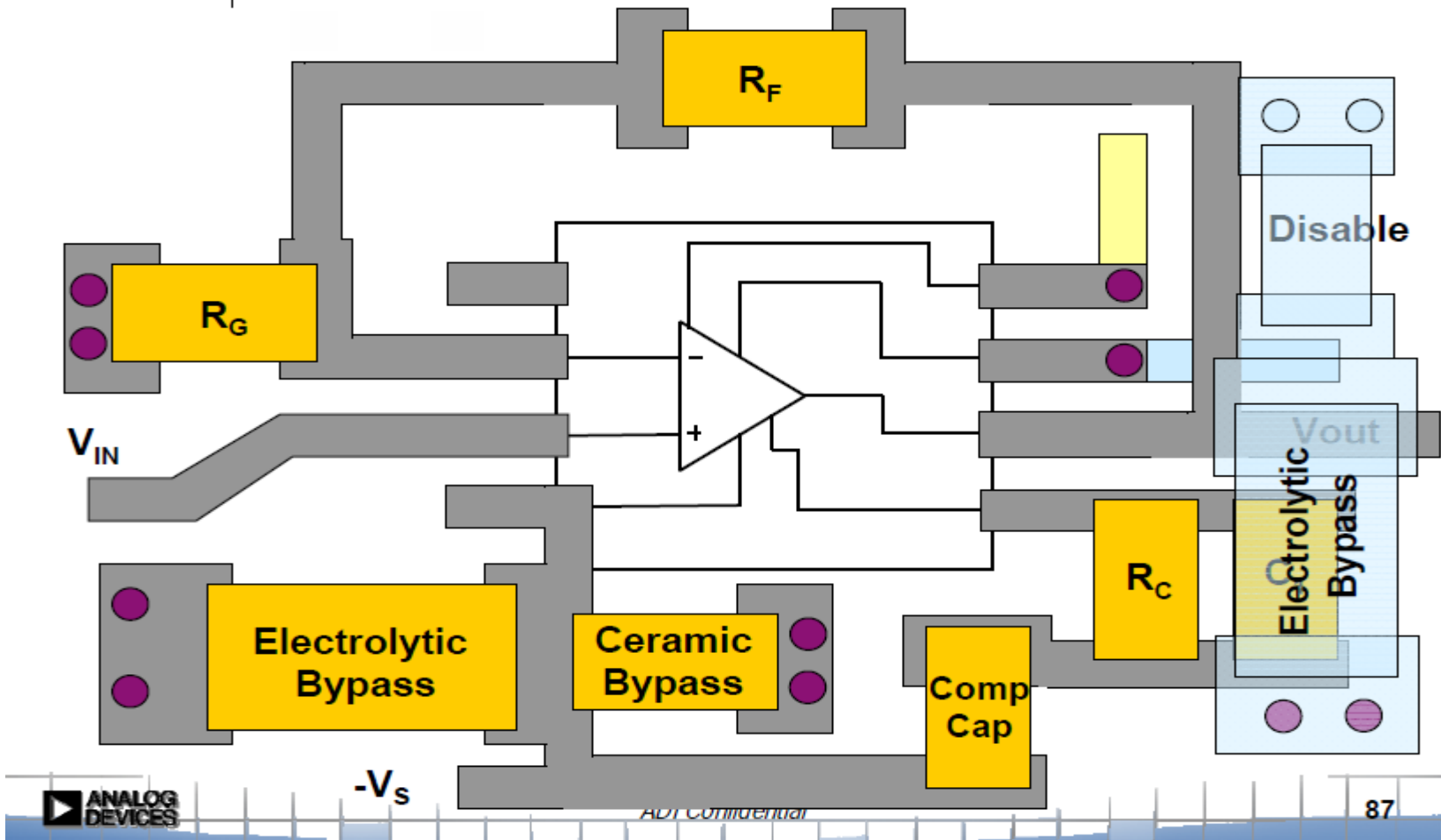


Incorrect



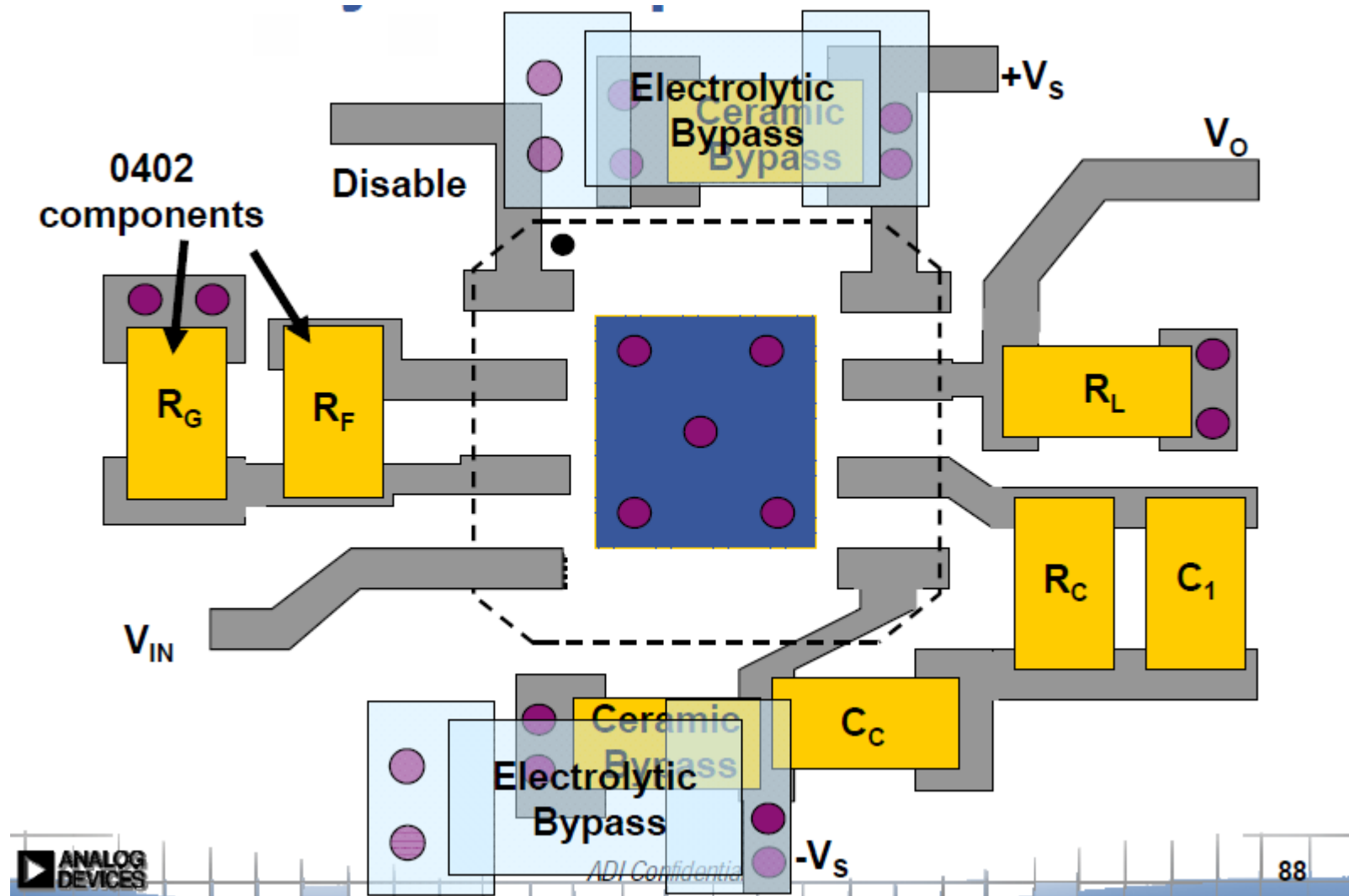
Correct

# SOIC 布线例子





# AD8099 布线例子





The World Leader in High Performance Signal Processing Solutions

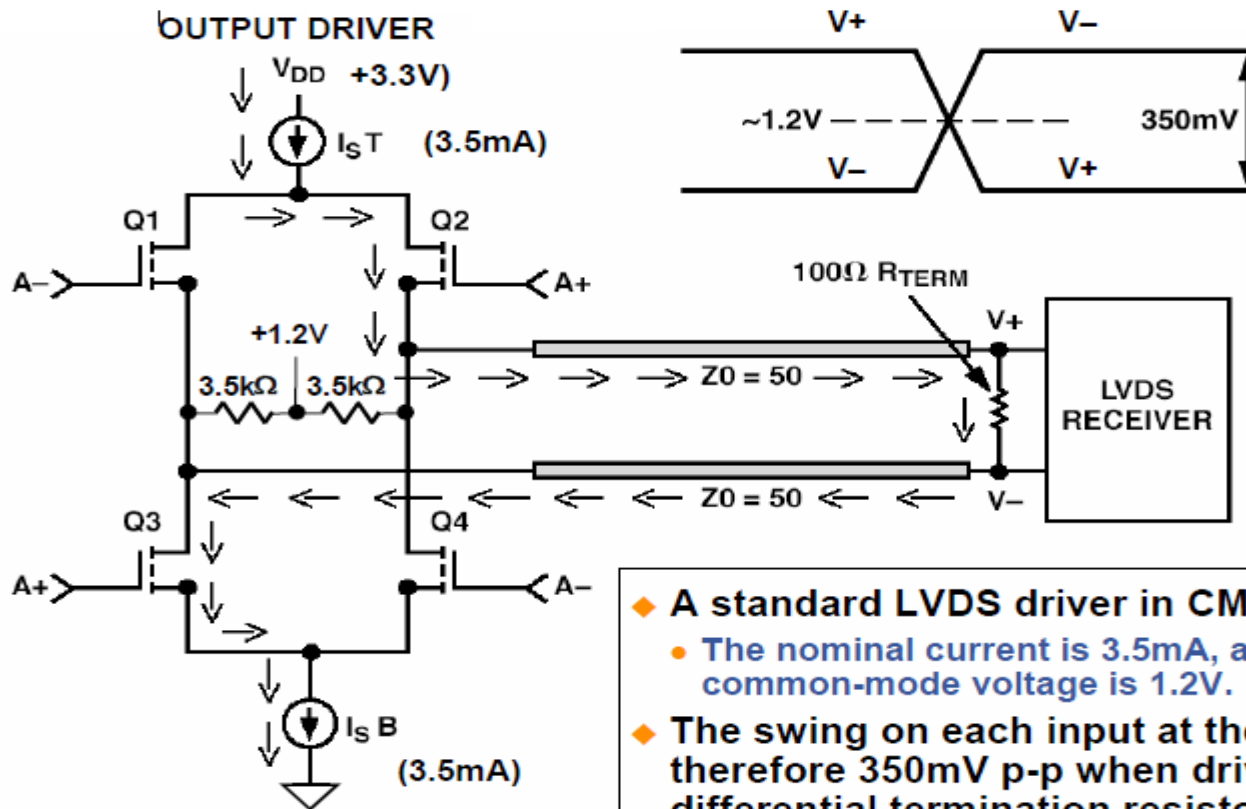
# Mixed Signal PCB Layout

## Control Differential Line Impedance

ADI

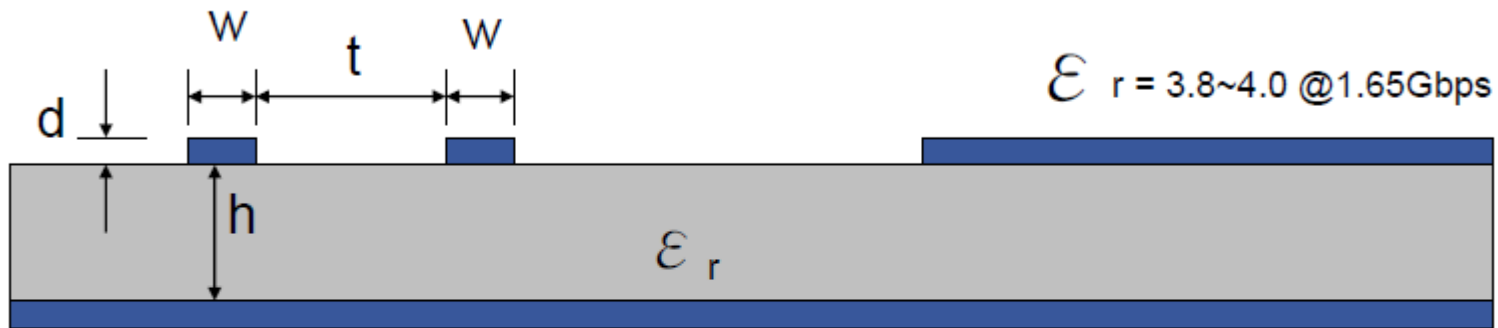


# 典型的CMOS LVDS驱动



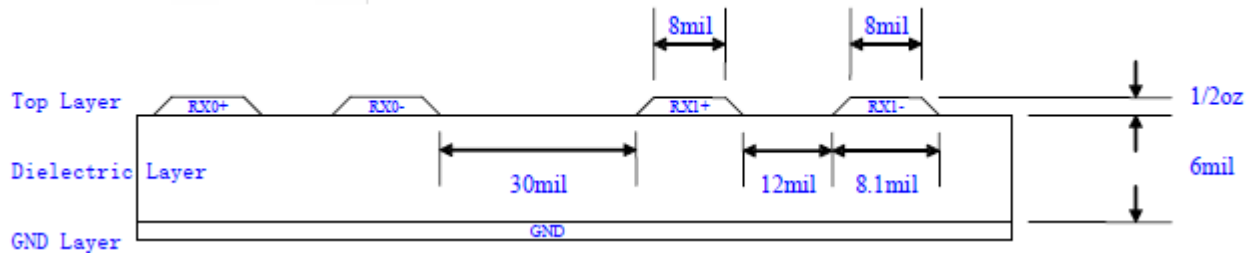
- ◆ A standard LVDS driver in CMOS.
  - The nominal current is 3.5mA, and the common-mode voltage is 1.2V.
- ◆ The swing on each input at the receiver is therefore 350mV p-p when driving a 100Ω differential termination resistor.
  - This corresponds to a differential swing of 700mV p-p.

# 差分线阻抗



$$Z_{o_{\text{diff}}}(\Omega) = \left[ \frac{60}{\sqrt{0.475\epsilon_r + 0.67}} * \ln \left[ \frac{4h}{0.67(0.8w + d)} \right] * 2 \right]$$

# 控制差分线阻抗



- 控制差分线阻抗
  - 在 $\frac{1}{2}$  OZ 铜层(1.7mil), DK4.7的情况下, 走线的特征阻抗为单根 54 Ohm/差分102 Ohm。在镀了绿漆层后, 阻抗会改变5~12 Ohm
  - 差分对之间的距离应该要大于30mil以避免邻近差分对的干扰
- 最好能够将 $>100\text{Mhz}$ 的时钟线和RF信号线控制在2inch之内
  - 同时走差分线, 并且尽量使每条走线的过孔尽可能的小
- 推荐软件
  - **Polar**

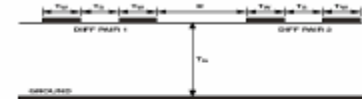
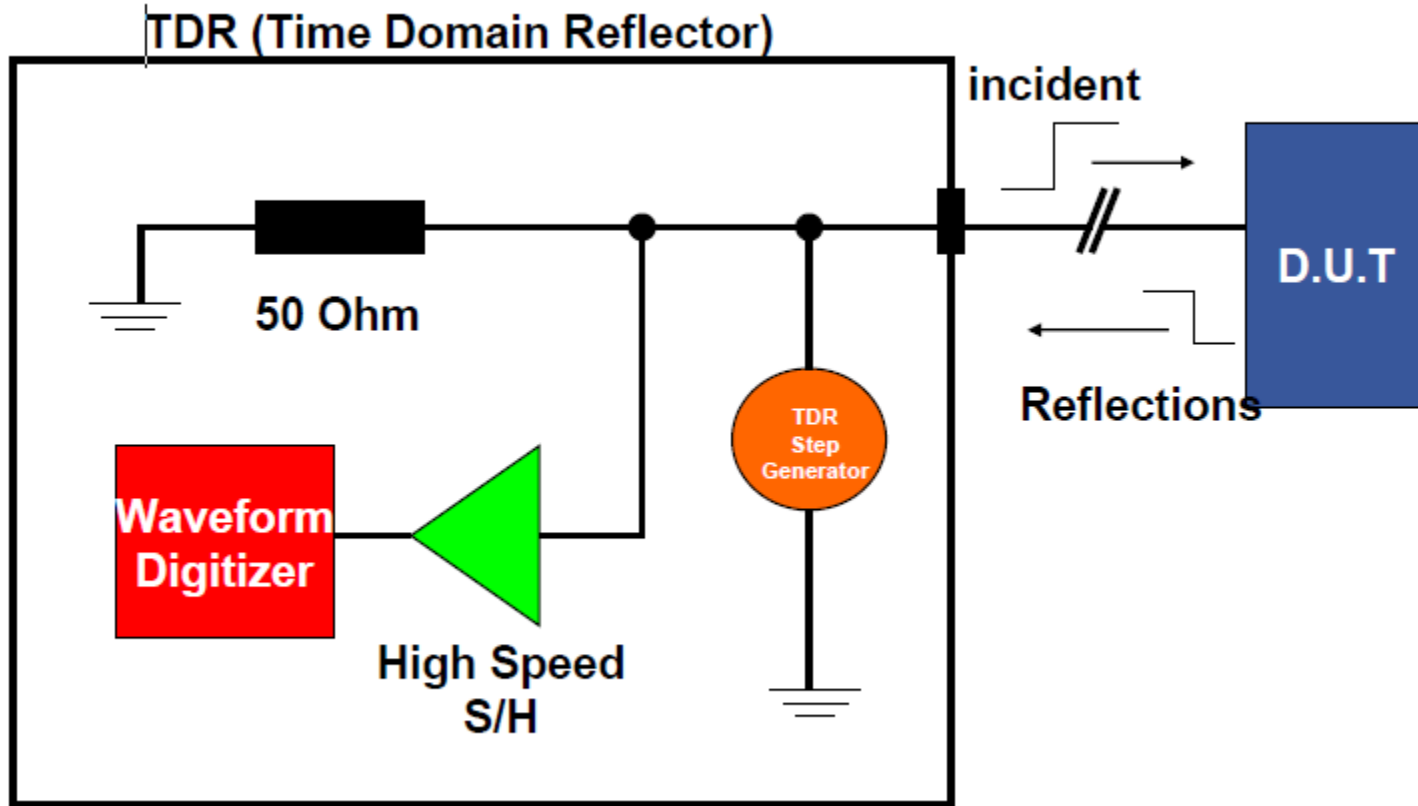


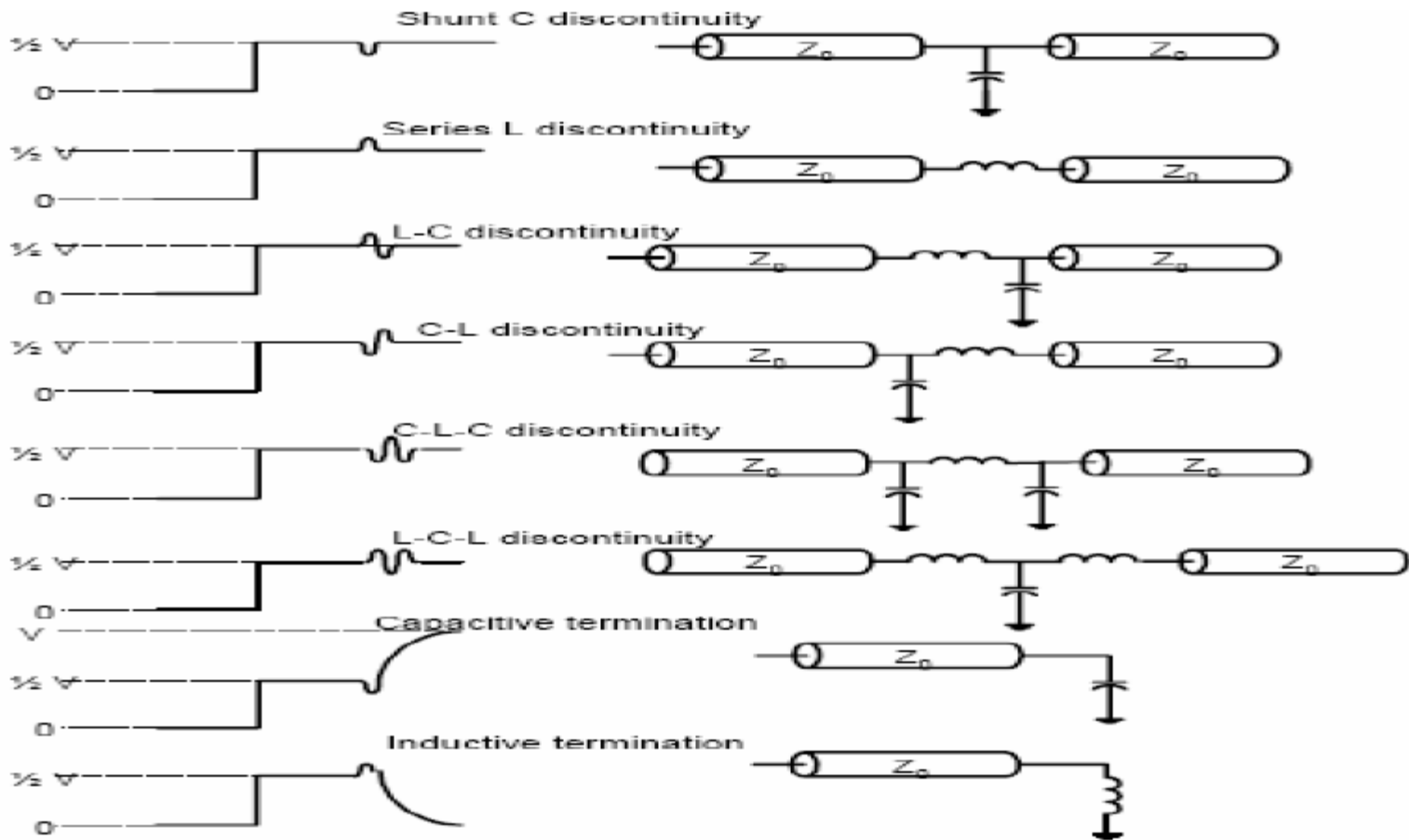
Figure 8. PCB Trace Spacing

- Layout Guidelines
- Keep  $T_{w1}$ ,  $T_{w2}$ ,  $D$  constant over trace length
  - Keep  $T_{w1} = \sim 2 T_{w2}$
  - Avoid use of vias where possible
  - Keep  $D \sim 2 T_{w1}$
  - Avoid 90 degree bends if possible
  - Design  $T_{w1}$ ,  $T_{w2}$  for  $\sim 50 \Omega$

# 测量TMD5阻抗



# 使用TDR来做集总互连分析



# 混合信号布线技术总结

- 使用地平面
  - 高速应用需要较低的返回阻抗
  - 帮助最小化寄生参数
- 寄生参数
  - 寄生电容，电感和电阻会让最好的设计也毁为一旦
  - 布线是关键
- 较长的走线要进行屏蔽
- 控制差分阻抗





The World Leader in High Performance Signal Processing Solutions

# Small Signal PCB Layout

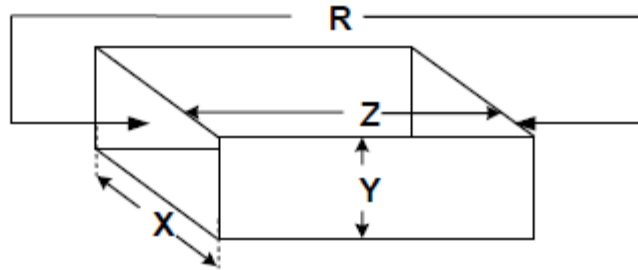
## Consider loss on Track Resistor



# 计算表面电阻（标准PCB）

$$R = \frac{\rho Z}{XY}$$

$\rho$  = RESISTIVITY



**SHEET RESISTANCE CALCULATION FOR  
1 OZ. COPPER CONDUCTOR:**

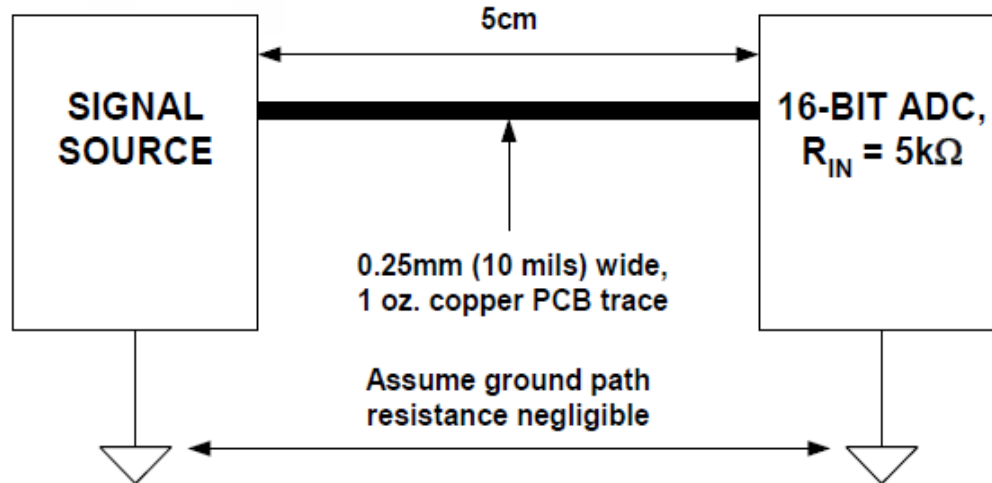
$$\rho = 1.724 \times 10^{-6} \Omega\text{cm}, Y = 0.0036\text{cm}$$

$$R = 0.48 \frac{Z}{X} \text{ m}\Omega$$

$$\frac{Z}{X} = \text{NUMBER OF SQUARES}$$

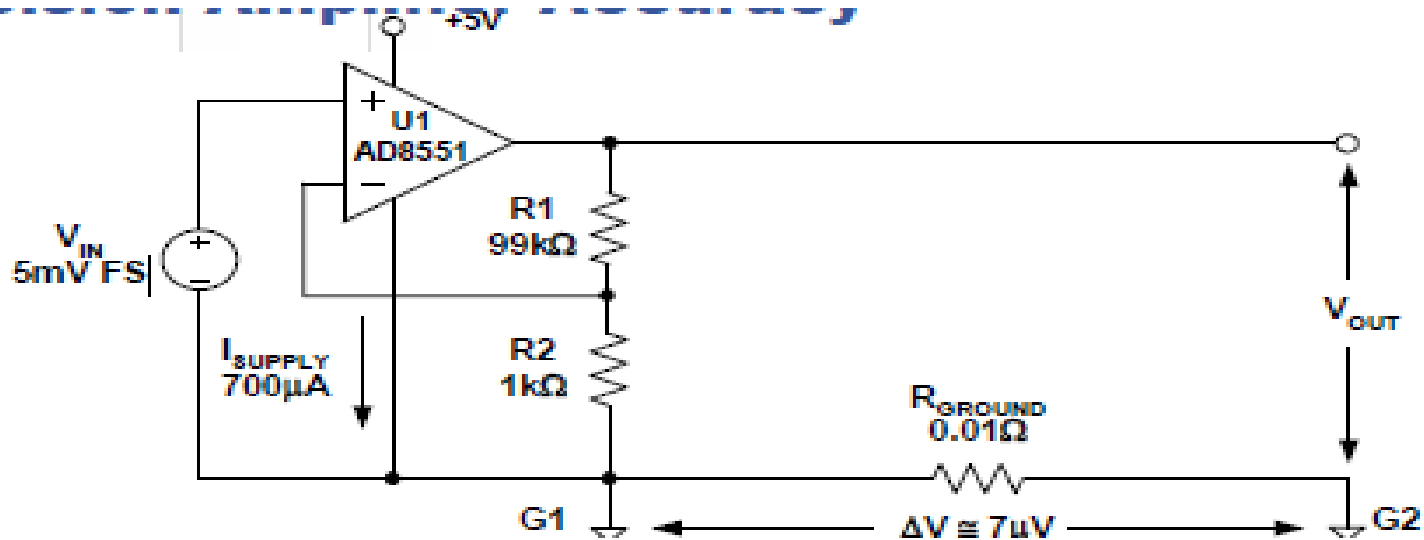
$$R = \text{SHEET RESISTANCE OF 1 SQUARE (Z=X)} \\ = 0.48\text{m}\Omega/\text{SQUARE}$$

# 较长路径的电阻对ADC的影响



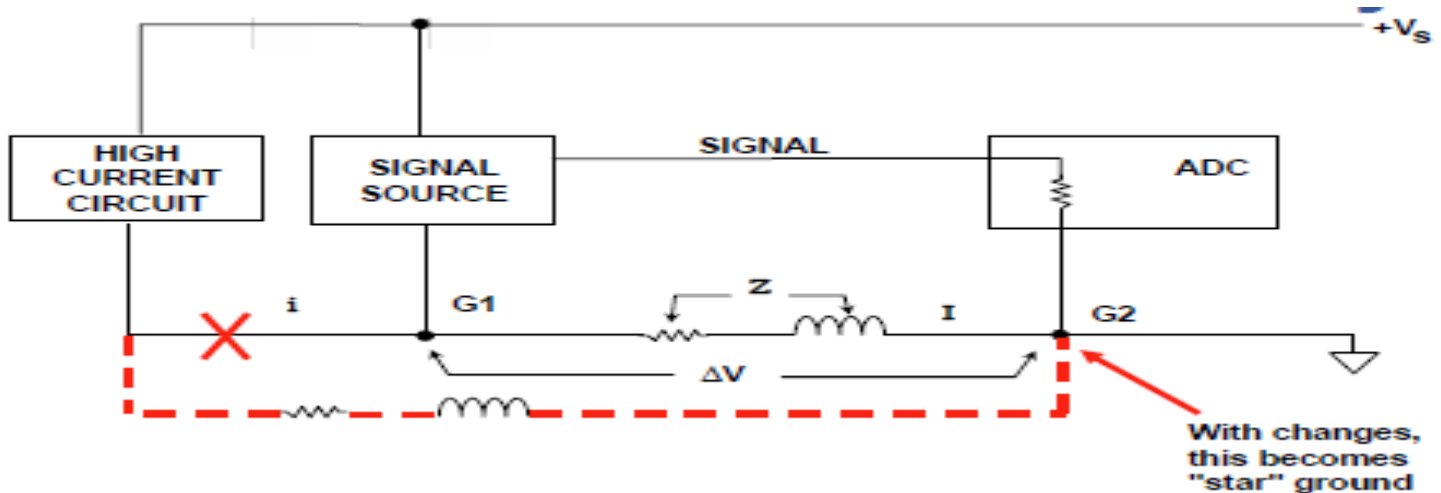
- 欧姆定律说明由于PCB导体上的压降会导致 $>1$ 的LSB
  - 16-bit的ADC的输入阻抗为5K ohm
  - PCB的走线长5cm, 宽0.25mm, 厚度为1 OZ
- 接收端的实际电压是 $0.1/5k$  ( $\sim 0.0019\%$ )的增益系数
- 大于 1LSB (0.0015% for 16 bits).

# 小型共地回路会降低放大器精度



- 一个 $5\text{mV}$ 低电压信号 $V_{in}$ , 需要的增益为100
- 考虑到DC精度, 使用AD8551
- 回顾下AD8551的规格
  - Low offset voltage:  $1\mu\text{V}$ , offset drift:  $0.005\mu\text{V}/^\circ\text{C}$
- 在终端, 信号 $V_{out}$ 的参考地是 $G2$
- 因为 $G1$ 与 $G2$ 之间有一个约 $700\mu\text{A}$ 的 $I_{supply}$ 电流, 所以这两点会由 $0.01\text{ ohm}$ 的阻抗引起 $7\text{ uv}$ 的误差
- 大约是7倍!

# 一个更加真实的地系统模型



- 任何电流流过地都会引起误差
- $\Delta V = (I + i) * Z$ 
  - **Z**: The impedance between G1 and G2
  - **I**: Signal related currents.
  - **i**: The effect of any non-signal related currents.



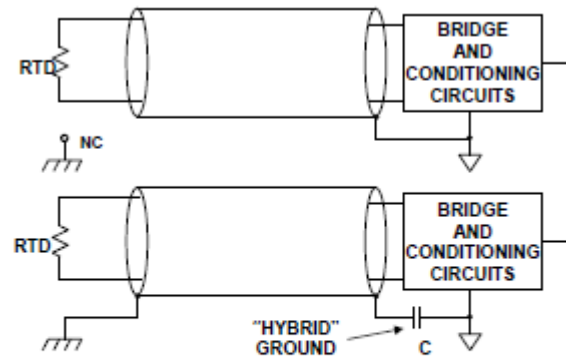
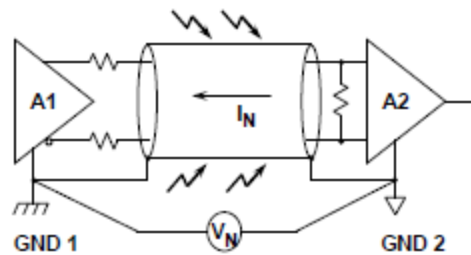
The World Leader in High Performance Signal Processing Solutions

# Small Signal PCB Layout

## Proper Grounding Shielding Cable



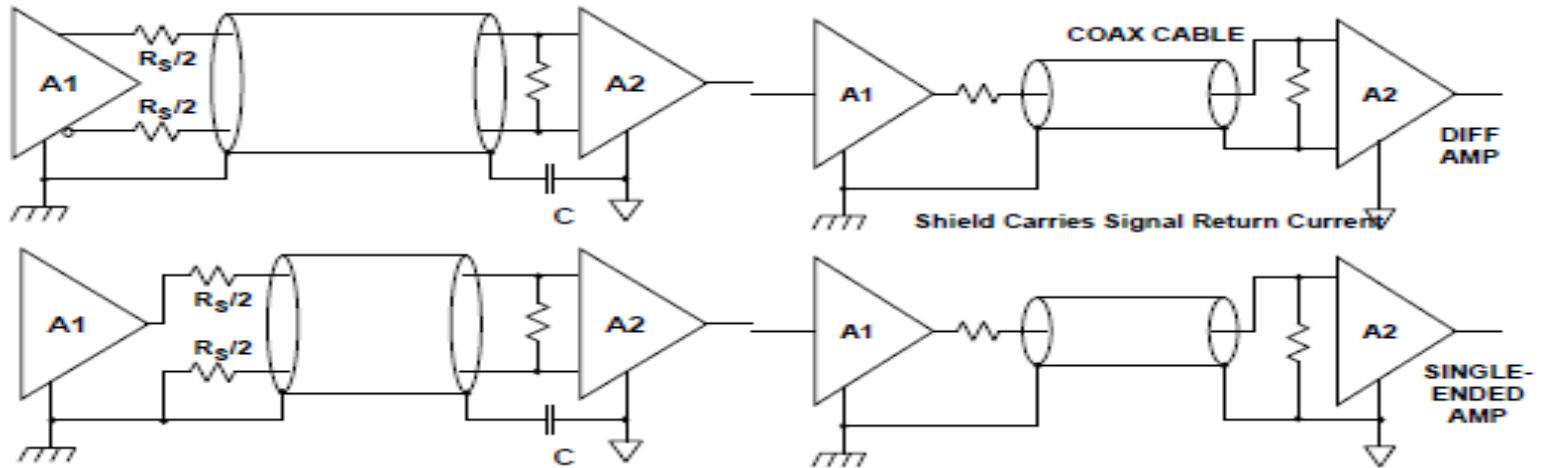
# 双绞线的接地回路



◆ Hybrid grounding of shielded cable with passive sensor

- 双绞线的接地回路会导致错误
- $V_n$ 会在屏蔽层上引起电流（通常为50/60hz）
- 在A2的输入端会产生不同的错误电压，除非
  - A1的输出是完美对称的
  - A2的输入是完美对称的
  - 电缆是完美对称的

# 对称的阻抗

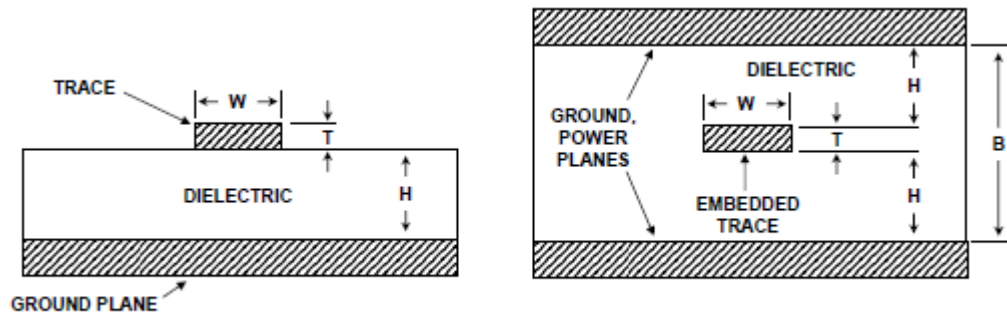


- 无论单端的还是对称的源信号，对称的阻抗和屏蔽电缆有助于增回路对噪声的免疫力

- 同轴电缆可以使用单端的或对称的接收器

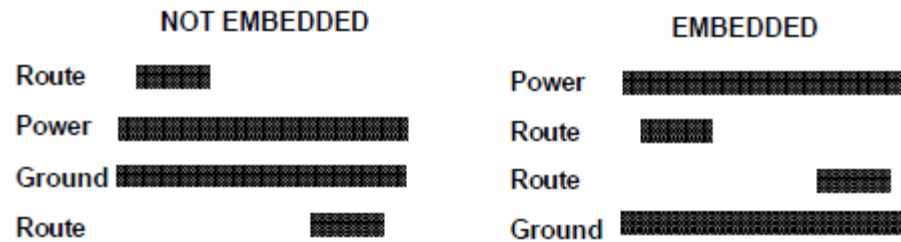


# 使用微带线传输低电压的IF/RF信号



- 具有特定阻抗的微带线由特定物理形状的PCB走线及其参考地构成
- 具有特定阻抗的对称带状线由特定物理形状的PCB走线嵌入到与之距离相等的电源和地平面之间构成

# 在多层PCB设计中要不要把信号线走在内层



- 高速切换的信号（时钟线等）应该被屏蔽
  - 使用数字地去避免辐射噪声
  - 时钟信号绝不能邻近模拟设备的输入端
  - 避免数字模拟信号相互交叉
- 内层走线的好处
  - 有信号线有屏蔽和保护的作用
  - 阻抗较低，因此辐射与串扰也较小
  - 对50Mhz以上信号效果明显
- 内层走线的劣势
  - 设计和定位问题较为困难
  - 去耦可能会更加困难
  - 匹配时阻抗可能过低



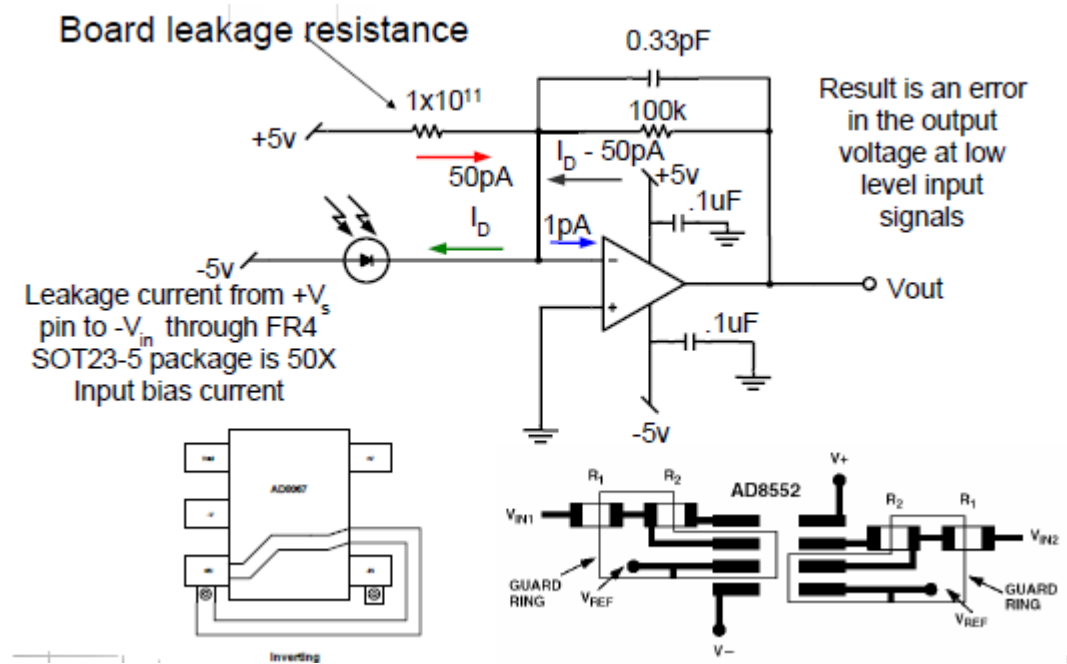
The World Leader in High Performance Signal Processing Solutions

## **Small Signal PCB Layout**

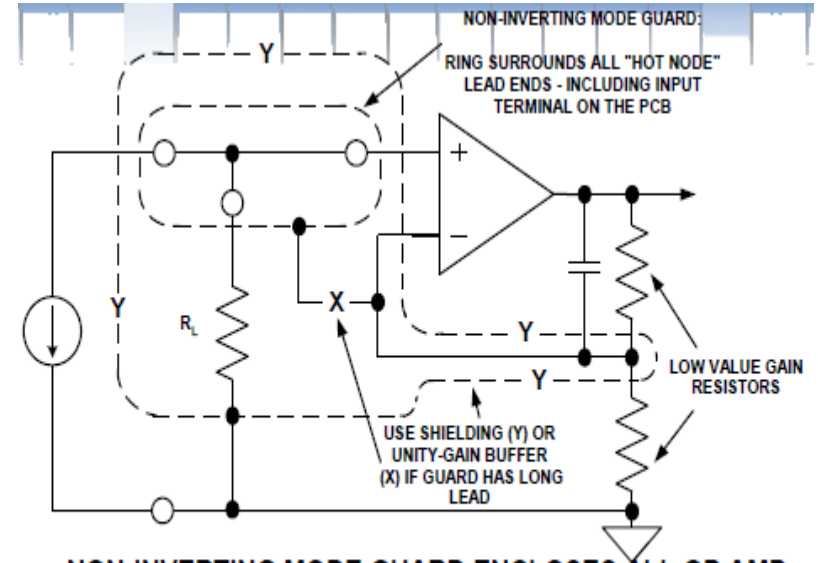
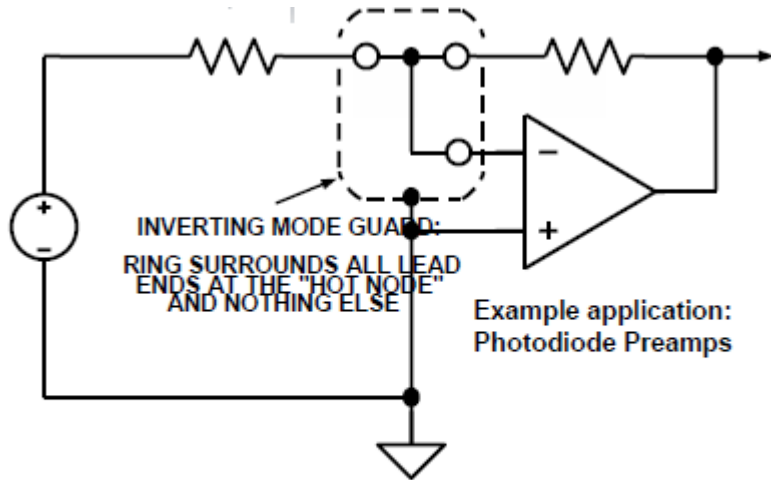
### **Minimize PCB Leakage by Guard Ring**



# 使用Guard-Rings最小化PCB泄漏电流



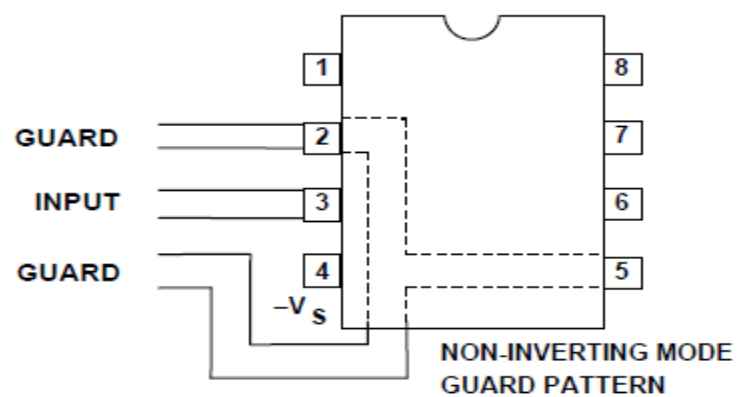
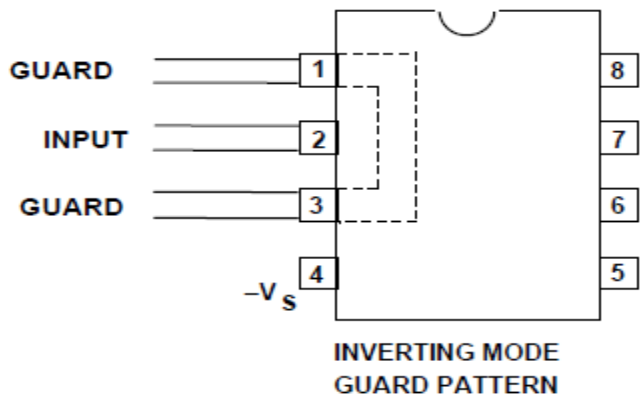
# Guard Patterns



- ◆ INVERTING MODE GUARD ENCLOSURES ALL OP AMP INVERTING INPUT CONNECTIONS WITHIN A GROUNDED GUARD RING

- ◆ NON-INVERTING MODE GUARD ENCLOSURES ALL OP AMP NON-INVERTING INPUT CONNECTIONS WITHIN A LOW

NOTE: PINS 1, 5, & 8 ARE OPEN ON MANY "R" PACKAGED DEVICES



- ◆ PCB GUARD PATTERNS FOR INVERTING AND NON-INVERTING MODE OP AMPS USING 8 PIN SOIC (R) PACKAGE

# 减少PCB泄漏电流的应用总结

- 包含二极管，压力传感器，以及其它源端高阻抗的输入
  - #1) 使用一个CMOS 或JFET输入二极管
  - #2) 最小化PCB板泄漏电流
    - 尽可能减少走线回路
    - 在输入引脚周围使用guard rings
  - #3) 保持板子的“整洁”
    - 污垢和油墨是引起PCB泄漏电流的一个主要原因



The World Leader in High Performance Signal Processing Solutions

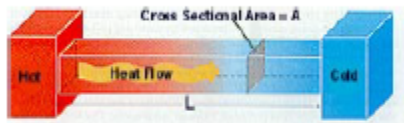
## **Small Signal PCB Layout**

### **Minimize PCB Heating Temperature Sensors**

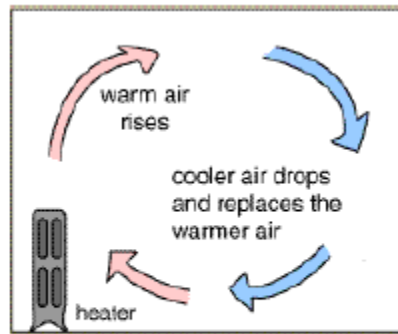


# 基础 热传导

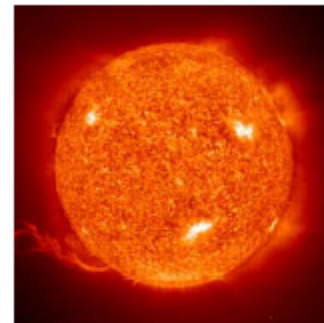
- 热的传导通常是由一个高温物体传向一个低温物体
- 从低温区域传向高温区域通常是由通过一些额外措施如制冷器来进行能量传输
- 热传输有三种基本模式
  - Conduction
  - Convection
  - Radiation



Conduction



Convection



Radiation



# 热传输理论-Conduction

- Conduction在PCB上是最常见的传输模式

– 如果PCB的一边温度较高，那么能量将从这边流向温度较低的一边，速度较快的粒子将会沿着能量传输网络与较慢的粒子进行碰撞。传导的比值如

$$H = (K \times A (T_{HOT} - T_{COLD}) / L$$

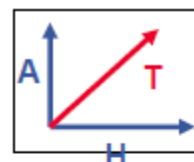
**H = Energy conducted in time (joules/second)**

**K = Thermal conductivity of the copper (385 W/(m·K)  
@ room temp)**

**A = Area of copper on pcb**

**T = Temperature**

**L = Distance between hot and cold bodies**

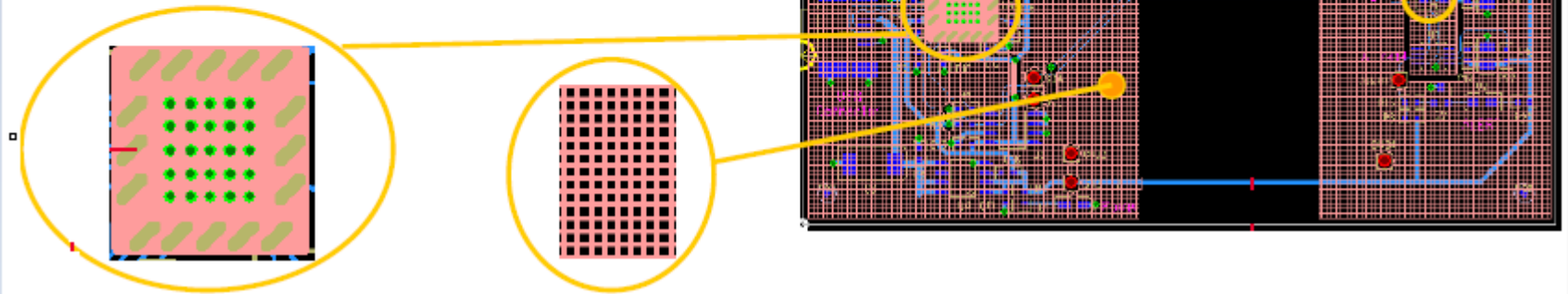


Excellent Temperature  
Conductive Material

Material	Thermal conductivity W/m·K
Diamond	1000-2600
Silver	406
Copper	385
Gold	320
Aluminium	205
Brass	109
Platinum	70
Steel	50.2
Lead	34.7
Mercury	8.3
Quartz	8
Ice	1.6
Glass	0.8
Water	0.6
Wood	0.04-0.12
Wool	0.05
Fiberglass	0.04
Expanded polystyrene ("beadboard")	0.03
Air (300 K, 100 kPa)	0.026
Silica aerogel	0.017
Styrofoam	0.01

# 量测环境温度的布线方式

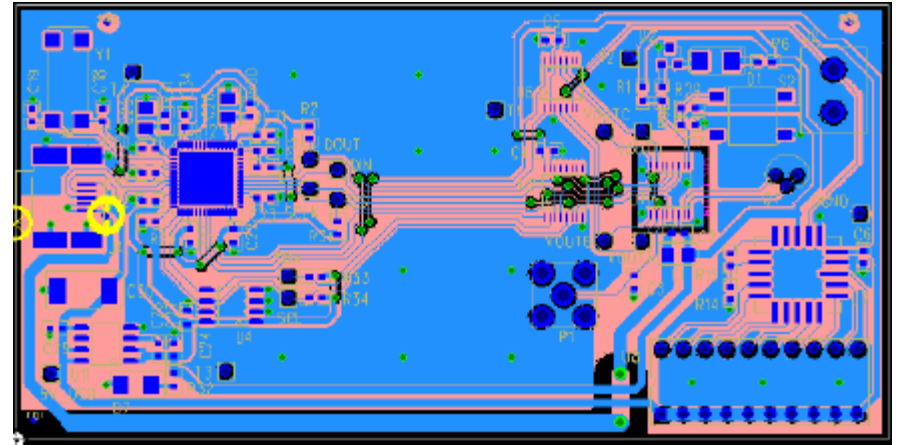
- 许多设计人员不想去测量PCB温度
- 只想测量环境空气的温度
- 问题是怎样阻止PCB热源上的热量影响传感器上的温度测量



- 测量小技巧
  - 使用一个hatched的GND平面，减少GND平面会增加热阻
  - 使传感器离热源尽可能的远
  - 为传感器使用一个单独的地平面，并让它的联系关系与主要的地平面尽可能的低
  - 较窄的连接走线会增加热阻
  - 对主要热源使用单独的地平面，并使绿漆层暴露出来，这会降低热阻有利于热量的散发

# Summary

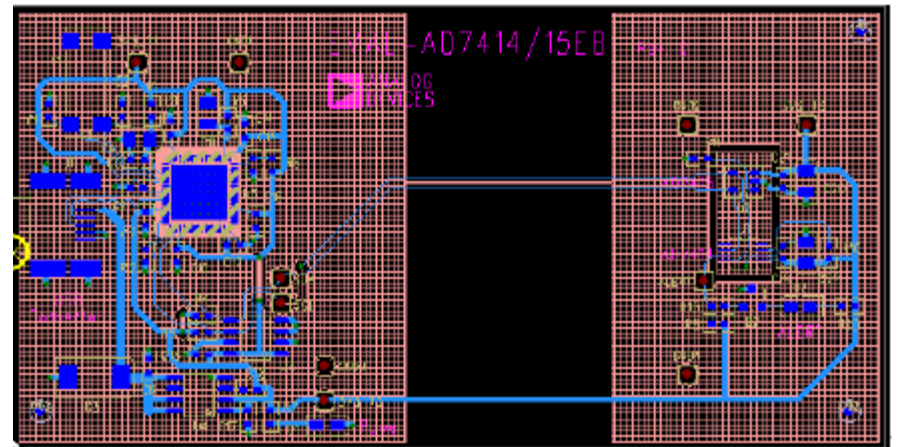
- 大多数使用者喜欢使用IC传感器来测量PCB或器件的温度
- 因此最好使用图中布线技术



$$H = (K \times A (T_{HOT} - T_{COLD}) / L$$

H = Energy conducted in time (joules/second)  
K = Thermal conductivity of the copper (385 W/(m·K) @ room temp)  
A = Area of GND plane  
T = Temperature  
L = Distance between hot and cold bodies

- 有些使用者喜欢利用IC的精度，线性，快速响应以及IC传感器监测空气温度
- 此时最好使用这种布线方式



## Further References

1. ***“High-Speed Digital Design - A Handbook of Black Magic”***, Howard W. Johnson, Martin Graham, Prentice-Hall, 1993, ISBN 0-13-395724-1
2. ***“Tolerance Calculations in Power Distribution Networks”***, Istvan Novak, Sun Microsystems, Note published in Xcell Journal, Summer 2004. Available at [www.Xilinx.com](http://www.Xilinx.com)
3. ***“Power Distribution System (PDS) Design; Using Bypass/Decoupling Capacitors”***, Mark Alexander, Xilinx Application Note, XAPP623 (V2.0) April 2004
4. ***“Decoupling Basics”***, Arch Martin, AVX Corp Application Note,
5. ***“The Effects of ESR & ESL in Digital Decoupling Applications”***, Jeffrey Cain, Ph.D., AVX Corp Application Note
6. ***“High Speed PCB Design & System Design”***, Course notes, Instructor Lee Ritchie, UC Berkeley Engineering Extension, May 1998.
7. ***“Bypass Capacitor Selection for High-Speed Designs”***, Micron Technical Note, TN-00-06
8. ***“Effective Decoupling Radius of Capacitor”***, H. Chen, J. Fang, W. Shi, paper presented at 2001 EPEP conference.
9. ***“ESR & Bypass Capacitor Self Resonant Behavior – How to Select Bypass Caps”***, Douglas Brooks, UltraCAD Design, Inc., 2000
10. ***“Optimum Placement of Decoupling Capacitors on Packages & Printed Circuit Boards Under the Guidance of Electromagnetic Field Simulation”***, Y. Chen, Z. Chen, J. Fang, Conf' Proc', 46th Electronic Components & Technology Conf, Orlando Fl, 1996.
11. ***“Low-Impedance Power Delivery Over Broad Frequencies”***, J. Fang, J. Zhao, Printed Circuit Design & Manufacture, Sept, 2003.
12. ***“Right the First Time – A Practical Handbook on High Speed PCB & System Design”***, Lee W. Ritchey, Speeding Edge, May 2003, ISBN 0-9741936-0-7